

Funkční vzorek

Vývojová deska s EP3C16 pro aplikace se softwarovým procesorem Nios II



FPGA: EP3C16Q240C8N

- 15 408 LEs
- 56 M9K RAM bloků
- 526 336b RAM
- 4 PLLs
- 56 násobiček 18b x 18b
- 160 IO pinů
- PQFP 240 pinů
- Speed grade -8

Paměti

- 4Mb Flash
- 512kB SRAM

Ostatní komponenty

- 1x 40 pinový konektor
- 2x 50 pinový konektor
- 1x 18 pinový konektor
- 4x LED
- 1x Tlačítko

- ✓ V souladu s definicí uvedenou v dokumentu Úřadu vlády ČR, Č.j.:05440/10-RVV „Metodika hodnocení výsledků výzkumných organizací a hodnocení výsledků ukončených programů (platná pro léta 2010 a 2011) je uplatňován funkční vzorek „Vývojová deska s EP3C16 pro aplikace se softwarovým procesorem Nios II“.
- ✓ Funkční vzorek vznikl v přímé souvislosti se specifickým výzkumem.
- ✓ Tato vývojová deska vznikla pro vývoj aplikací aplikací na softwarových procesorových jádrech. Zejména pro vývoj aplikací pro Nios II. Na desce je umožněn přístup k velké většině IO bran, což je výhodné proti vývojovým deskám od výrobců FPGA obvodů, kde je vyvedeno omezené množství IO bran pro vlastní použití. Další výhodou je možnost měřit spotřebu pouze hradlového pole pro danou aplikaci, kde spotřeba není zakreslována dalšími obvody.

EVIDENČNÍ ČÍSLO:

22110 – FV017 – 2010

KONTAKTNÍ OSOBA:

Ing. Martin Poupa, Ph.D

tel.: 377 634 239

poupa@kae.zcu.cz

Ing. Václav Kraus

tel.: 377 634 252

krausv@kae.zcu.cz

ŘEŠITELSKÉ

PRACOVNÍŠTĚ:

Západočeská univerzita v Plzni

Fakulta elektrotechnická

Katedra aplikované elektroniky a
telekomunikací

Univerzitní 8, 306 14 Plzeň