



**FAKULTA
ELEKTROTECHNICKÁ**
ZÁPADOČESKÉ
UNIVERZITY
V PLZNI

2012

Pracoviště: Katedra elektromechaniky a výkonové elektroniky,
Fakulta elektrotechnická

Výzkumná zpráva č.: 22160 - 002 - 2012

JTAGv5 - JTAG emulátor nové generace

Druh úkolu: vědecko-výzkumný
Řešitelé: Ing. Tomáš Košan
Vedoucí úkolu: Prof. Ing. Zdeněk Peroutka, Ph.D.
Počet stran: 18
Datum: Říjen 2012
Revize: 1

Tato práce vznikla s podporou projektu SGS-2012-071.

Anotace

Tato práce se zabývá popisem realizovaného JTAG adaptéru založeného na emulátoru firmy Texas Instruments XDS100v2. Potřeba aktualizovat JTAG emulátor vznikla na základě přechodu na nový typ procesoru (konkrétně se jedná o řadu Hercules fy. TI) pro řízení motorů nebo měničů. Snahou také bylo zvýšit výkon v porovnání se stávajícím JTAG emulátorem JTAGv4.

Abstract

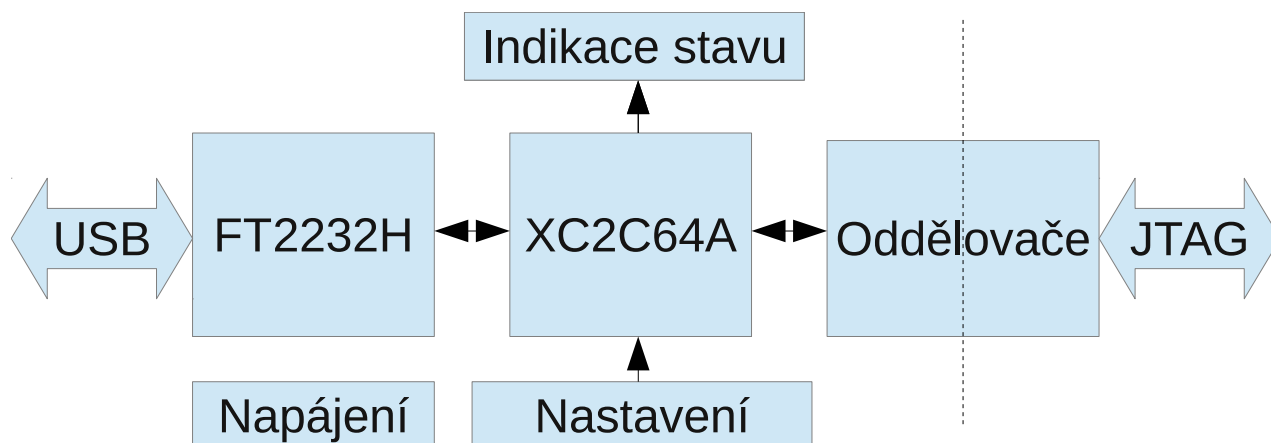
This thesis describes the implemented JTAG adapter based on emulator from Texas Instruments XDS100v2. The need to update the JTAG emulator was based on the transition to a new type of processor (specifically Hercules product line by Texas Instruments) for control of drives or converters. The aim was to increase the performance compared the existing JTAG emulator JTAGv4 and also make some improvements.

Seznam symbolů a zkratek

CPLD	Complex Programmable Logic Device
DSP	Digital Signal Processor
GND	GrouND
JTAG	Joint Test Action Group
CCS	Code Composer Studio
FPGA	Field Programmable Gate Array
EMI	Electro-Magnetic Interference
PC	Personal Computer
USB	Universal Serial Bus
MKO	Monostabilní klopný obvod
PCB	Printed Circuit Board
DPS	Deska Plošného Spoje
SVF	Serial Vector Format
PLD	Programmable Logic Device
BSDL	Boundary Scan Description Language

Obsah

1 Úvod	4
2 Funkce CPLD	4
2.1 Funkce fail-safe	5
2.2 Režimy emulátoru	5
3 Hardwarové provedení	7
3.1 Galvanické oddělovače	7
3.2 Popis konektorů JTAG emulátoru	8
4 Nastavení Code Composer Studia	10
5 Programování PLD obvodů	13
6 Mechanické provedení	14
6.1 Osazovací listy	15
6.2 Rozpiska součástek	16
7 Závěr	17



Obr. 1: Blokové schéma emulátoru JTAGv5

1 Úvod

Vývoj algoritmů pro DSP vyžaduje mít možnost vyvinuté algoritmy nahrát do použitého procesoru. Zároveň je vhodné mít možnost algoritmus v procesoru ladit. K tomuto účelu je vhodné používat rozhraní JTAG.

Z pohledu spolehlivosti spojení PC - laděný procesor, je potřeba zohlednit EMI odolnost JTAG adaptéru. Ideální je JTAG sběrnici galvanicky oddělit PC a laděný procesor. Tato koncepce se osvědčila již u předchozí verze JTAG emulátoru JTAGv4, viz [1]

Design JTAG emulátoru je založen na obvodovém řešení XDS100v2 od Texas Instruments a to především kvůli softwarové kompatibilitě - není nutné vyvíjet vlastní ovladač pro Code Composer Studio.

Základem celého emulátoru je obvod FT2232H fy FTDI v kombinaci s CPLD obvodem XC2C64A fy Xilinx a několika oddělovači ADuM1200 a 1201 (viz Obr. 1). Největší změnou oproti předchozím verzím je použití CPLD obvodu viz dále.

2 Funkce CPLD

Použitím CPLD obvodu se zjednodušila deska plošného spoje a to díky relativně volnému mapování signálů vnitřního firmware na vývody pouzdra CPLD obvodu. Dále CPLD v sobě integruje veškerou podpůrnou logiku, která byla na emulátorech JTAGv3 a JTAGv4.

Použití programovatelného obvodu zařazeného do cesty JTAG signálů také umožňuje implementovat doplňkové funkce, např. funkci *fail-safe* viz níže.

Tab. 1: Perioda paketů na JTAG sběrnici

Stav procesoru	Perioda
Nahrává program	< 1ms
Běží	1s
Pauza	10s

2.1 Funkce fail-safe

Tato funkce vynutí procesoru reset, pokud je detekován některý z níže uvedených problémů:

- Výpadek napájení na straně FTDI a CPLD.
- Odpojení USB kabelu od emulátoru nebo PC.
- Odpojení JTAG kabelu od laděného zařízení.
- Selhání USB komunikace mezi CCS a procesorem.

První tři body jsou zřejmé, poslední bod je však potřeba rozvést. Code Composer Studio po připojení k procesoru pravidelně posílá po JTAG sběrnici dotazy na stav procesoru. Perioda těchto dotazů se liší podle stavu ve které se zrovna procesor nachází viz Tab. 1. Ve firmware CPLD je implementován znovu spustitelný monostabilní klopný obvod, který je každou transakcí na JTAG sběrnici přepnut do nestabilního stavu. Pokud tedy na JTAG sběrnici probíhá komunikace, je tento MKO držen trvale v nestabilním stavu. Pokud z nějakého důvodu přestanou po JTAG sběrnici chodit pakety, MKO se překlopí do svého stabilního stavu, což vyvolá reset procesoru. Dokud je MKO ve stabilním stavu, je procesor trvale držen v resetu. Čas přechodu do stabilního stavu musí zohlednit časování paketů na JTAG sběrnici a je proto nastaveno na 12s.

Podmínkou pro funkčnost této ochrany je propojení konektoru SYS RESET JTAGv5 emulátoru s resetem procesoru.

2.2 Režimy emulátoru

Aktuální verze firmware umožňuje provozovat v režimu plné kompatibility s XDS100v2 nebo lze vypnout některé funkce, resp. změnit jejich chování tak, aby bylo možné emulátor používat i s jinými programy než je Code Composer Studio. Tabulka 3 níže osvětluje význam zkratovacích propojek na PCB JTAGv5. Defaultní stav je ve firmware nastaven tak, aby byl JTAG emulátor co nejvíce univerzální.



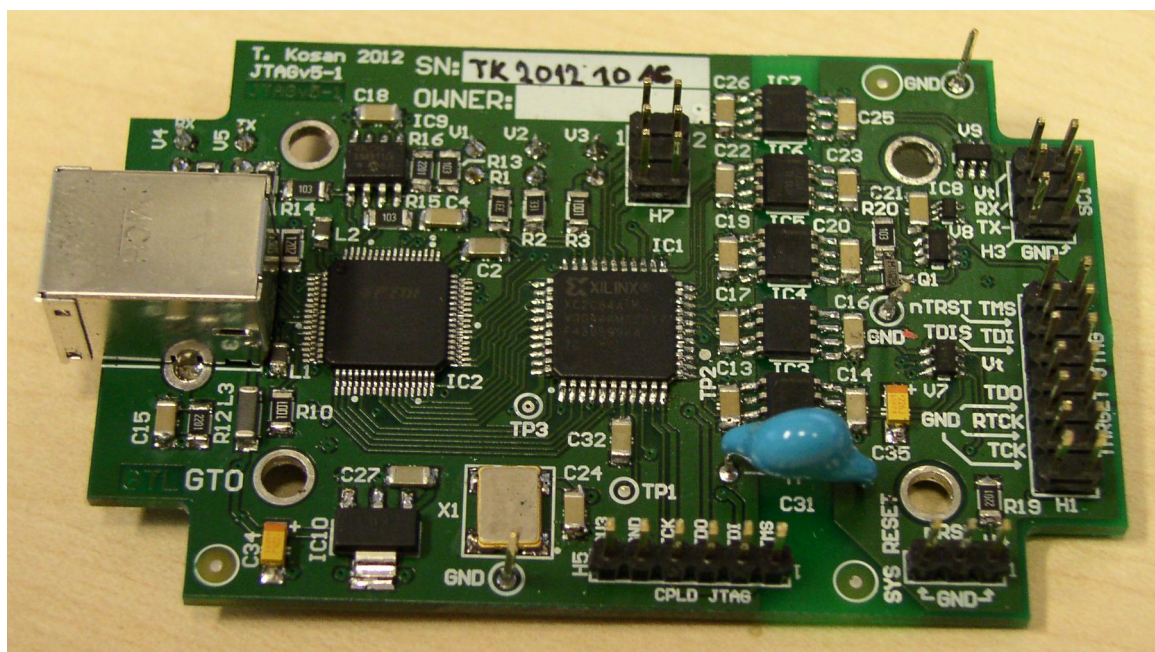
Obr. 2: Význam indikačních prvků JTAGv5

Tab. 2: Funkce konfiguračních propojek JTAGv5

Konektor H7	Funkce	Výchozí stav (nezkratováno)
SW1 (1-2)	Povoluje funkci LOOPBACK emulátoru	LOOPBACK trvale vypnutý
SW2 (3-4)	Povoluje klopný obvod pro detekci napájení cílového zařízení	Vypnuto, stav napájení a připojení či nepřipojení kabelu k cílovému zařízení se projeví okamžitě
SW3 (5-6)	Vypíná funkci fail-safe	Zapnuto, funkce fail-safe je aktivní. Pokud je zapojen resetovací obvod, tak je procesor držen v resetu

Tab. 3: Funkce indikačních LED na JTAGv5

Název LED	Funkce
RX a TX	Indikují probíhající komunikaci na SCI (UART)
Target power	Indikuje, že má cílové zařízení napájení a také, že je emulátor s cílovým zařízením správně propojený
Fail-safe active	Indikuje, že proběhl time-out <i>fail-safe</i> ochrany a procesor je tedy držen v resetu
Activity	Indikace přítomnosti pulzů na JTAG sběrnici, tj. spojení CCS ↔ cílové zařízení je aktivní



Obr. 3: Finální DPS JTAGv5

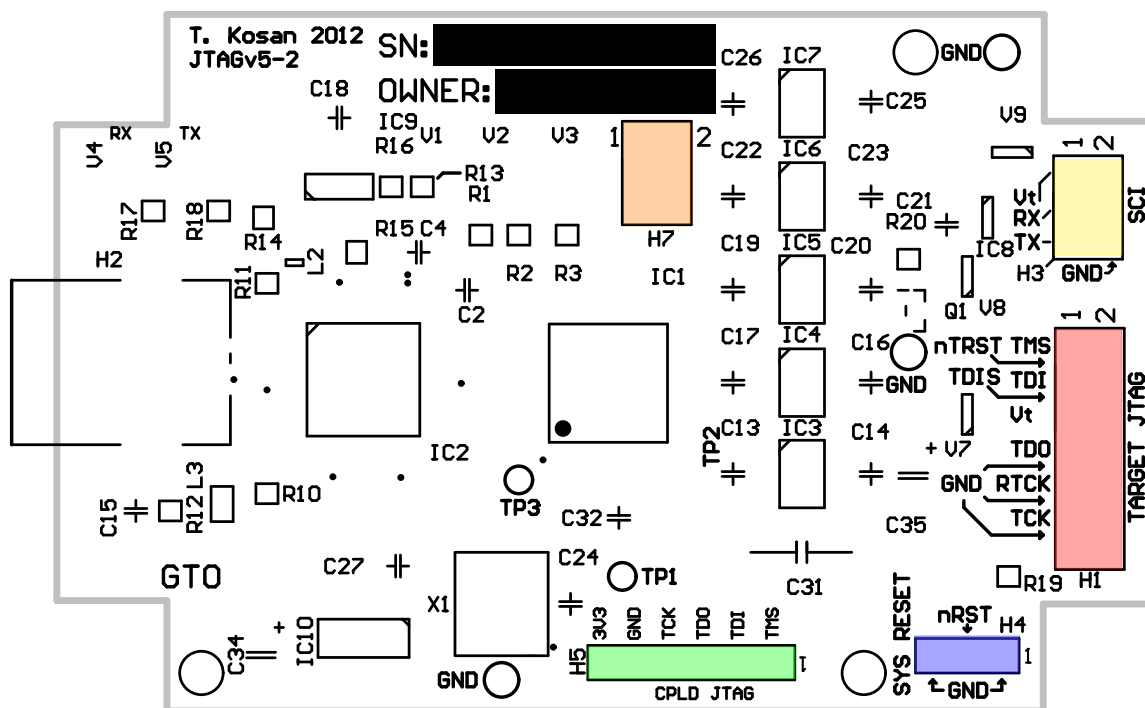
Aktuální stav emulátoru indikuje celkem pět LED diod jejichž význam je naznačen na Obr. 2. Význam LED diod je rozepsán v tabulce, je však nutno podotknout, že fixní funkci mají jen LED s označením RX a TX. Ostatní tři mají funkci danou firmwarem (viz kapitola 2) a lze jí tedy změnit.

3 Hardwarové provedení

JTAGv5 je vyroben na dvouvrstvé oboustranně osazené desce plošného spoje viz Obr. 3. S výjimkou obvodů FT2232H a XC2C64A jsou součástky bez problémů osaditelné ručně, to umožní případnou opravu poškozeného kusu i osazení svépomocí.

3.1 Galvanické oddělovače

Jako oddělovače jsou v originál schématu použity obvody ISO7220 a 7221 od fy Texas Instruments. Tyto obvody ve variantě C umožňují plně využít rychlostního potenciálu použitého FT2232. Nadruhou stranu jsou tyto obvody schopny pracovat od 2,8V výše. To poněkud omezuje použití emulátor osazeného těmito obvody. Např. MLC interface používá pro JTAG rozhraní FPGA 2,5V což znemožňuje použití tohoto emulátoru. Použitím obvodů ADuM1200 a 1201 ve verzi B, lze emulátor používat spolehlivě i na 2,5V logice cílového zařízení. Ovšem za cenu menší maximální možné komunikační rychlosti.



Obr. 4: Rozmístění konektorů na PCB

Napájení oddělovačů je z primární strany zajištěno pomocí USB sběrnice, napájení sekundární strany však musí zajistit cílové zařízení, kdy na pin V_t konektoru H1 (Tab. 6) nebo H3 (Tab. 7) přivede napětí v rozsahu 2,8 - 5,5V pokud jsou použity obvody ISO722X nebo 2,5 - 5,5V v případě osazení ADuM 120X. Odběr proudu je závislý na přenosové rychlosti a nepřekročí 100mA.

3.2 Popis konektorů JTAG emulátoru

Všechny konektory mají popisky přítomné na DPS v rámci potisku (Obr. 4). Každý konektor na DPS má označený vývod 1, dvouřadé navíc mají označen i i pin 2. Nemusí však být zcela zřejmá funkce a proto v této kapitole popíšeme význam jednotlivých pinů konektorů podrobněji.

Konektor H7 (oranžový na Obr. 4) je konfigurační, umístěním či odebráním zkratovacích propojek se ovlivňuje funkce emulátoru viz kapitola 2.2. Význam jednotlivých pinů konektoru H7 je z této kapitoly zřejmý.

Pro nahrávání firmware do JTAG emulátoru slouží konektor H5 (zelený). Tento konektor je pinově kompatibilní s vývojovým kitem CMod-C2 fy Digilent. Na tento konektor je vyvedeno rozhraní JTAG obvodu IC1. Význam pinů viz Tab. 4

Tab. 4: Funkce pinů konektoru H5 - CPLD JTAG

Pin	Název	Funkce
1	TMS	Test Mode Select
2	TDI	Test Data Input
3	TDI	Test Data Output
4	TDI	Test Clock
5	GND	zem - neoddělená od USB
6	3V3	Napájení 3,3V

Tab. 5: Funkce pinů konektoru H4 - SYS RESET

Pin	Název	Funkce
1	GND	zem, oddělená od USB
2	nRST	Systémový reset, aktivní v 0
3	GND	zem, oddělená od USB

Funkce *fail-safe* využívá reset signál procesoru, propojení je provedeno pomocí konektoru H4 (modrý) jehož signály popisuje Tab. 5.

Tab. 6: Funkce pinů konektoru H1 - TARGET JTAG

Pin	Název	Funkce	Pin	Název	Funkce
1	TMS	Test Mode Select	2	nTRST	Test ReSeT
3	TDI	Test Data Input	4	TDIS	Detekce připojení JTAG emulátoru
5	Vt	Napájecí napětí zařízení - napájí sekundární stranu oddělovačů	6	KEY	klíčovací pin
7	TDO	Test Data Output	8	GND	zem oddělená od USB
9	RTCK	Return Test Clock	10	GND	zem oddělená od USB
11	TCK	Test Clock	12	GND	zem oddělená od USB
13	NC	nezapojeno, původně EMU0	14	NC	nezapojeno původně EMU1

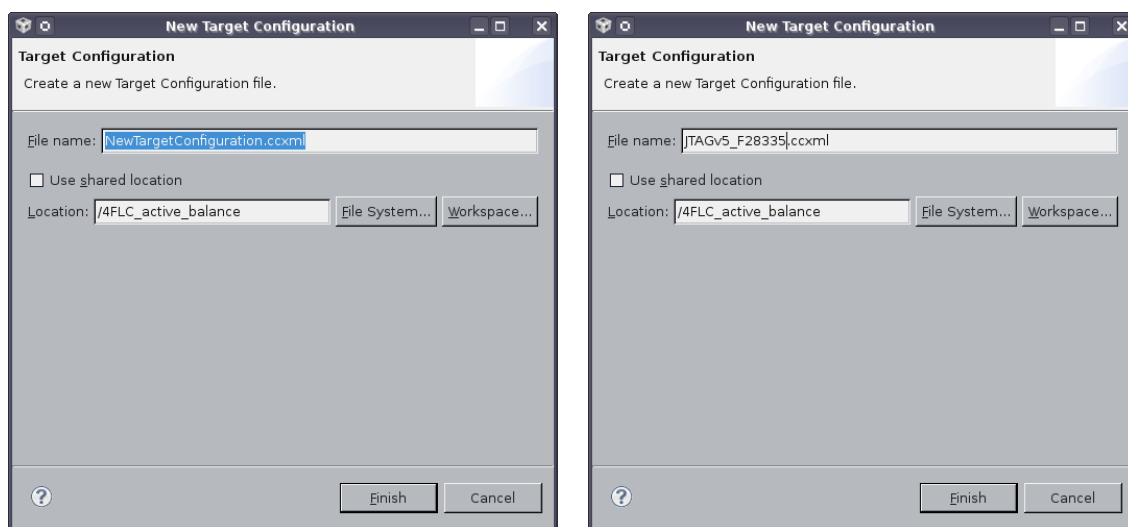
Konektor H1 - TARGET JTAG (červený) je zapojený ve shodě s definicí 14 pinového JTAG konektoru používaného na EzDSP kitech a obecně u kitů Texas Instruments. Funkce jednotlivých pinů definuje tabulka 6.

Poslední konektor H3 je použitý pro vyvedení asynchronní seriové linky a Tab. 7 popisuje funkce jednotlivých pinů.

Tab. 7: Funkce pinů konektoru H3 - SCI

Pin	Název	Funkce	Pin	Název	Funkce
1	Vt	Napájecí napětí zařízení - napájí sekundární stranu oddělovačů	2	GND	zem oddělená od USB
3	RX	vstup seriových dat	4	GND	zem oddělená od USB
5	TX	výstup seriových dat	6	GND	zem oddělená od USB

4 Nastavení Code Composer Studia



Obr. 5: Vytvoření nové konfigurace pro JTAGv5

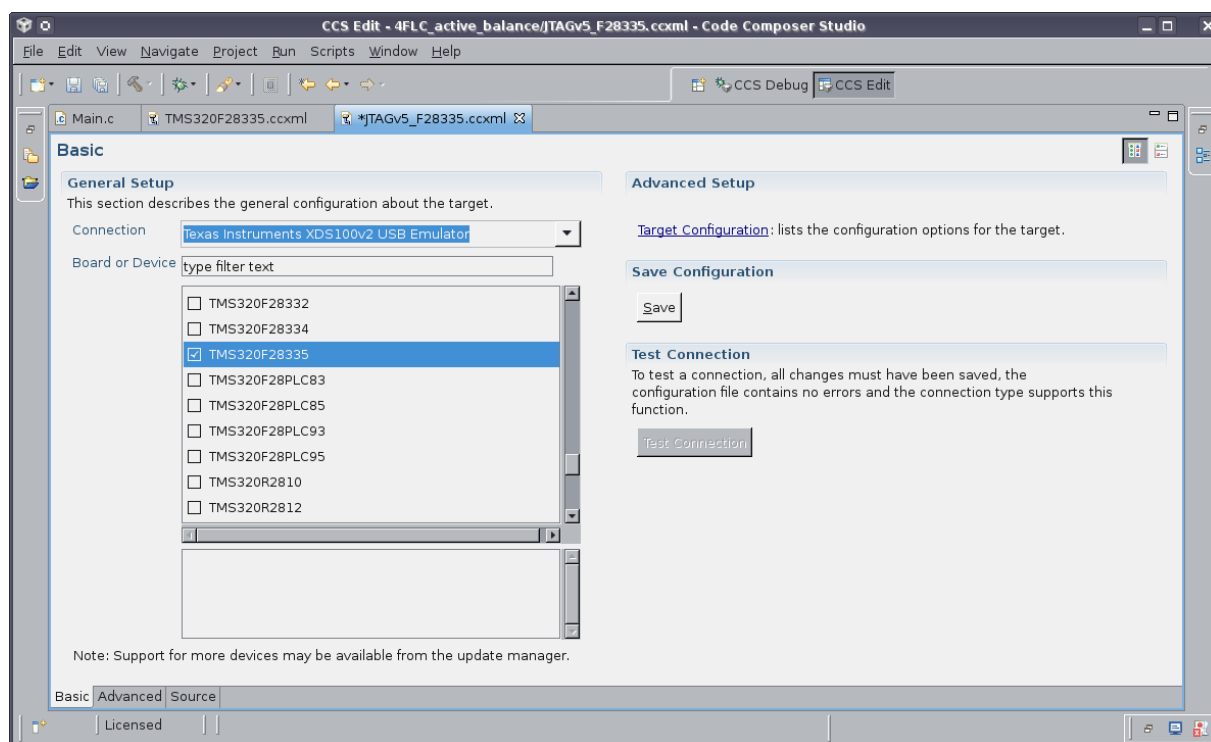
V Code Composer Studiu (CCS) je JTAGv5 identifikován jako XDS100v2 neboť má stejné VID a PID (0x0403:0xa6d0) identifikátory USB zařízení. Pro správné nastavení CCS a JTAGv5 je vhodné znát sériové číslo daného emulátoru, v Linuxu jej zjistíte jednoduše příkazem:

```
lsusb -d 0403:a6d0 -v | grep iSerial
```

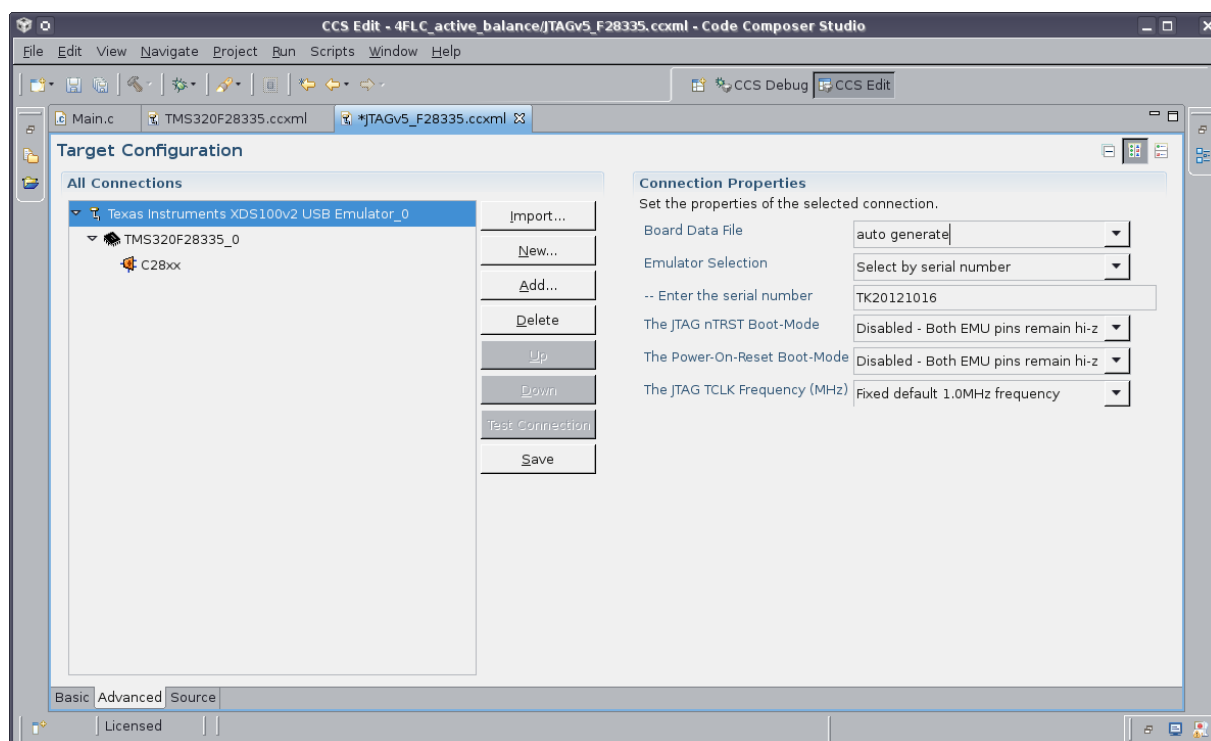
Ve windows je třeba najít program xds100serial.exe, ten se nachází v adresáři, kde je CCS nainstalováno. Případně má každý emulátor na PCB vyplněno políčko SN:. Každý emulátor má své vlastní unikátní sériové číslo což umožňuje používat souběžně několik emulátorů JTAGv5 a také to odstraňuje kolize s ostatními obvody fy FTDI.

Nyní lze přistoupit ke konfiguraci CCS, pustíme jej a přes menu *File -> New -> Target configuration file* vytvoříme nový konfigurační soubor. Objeví se dialog z Obr. 5, vyplníme nějaké vhodné jméno souboru a stiskem *Finish* dialog uzavřeme.

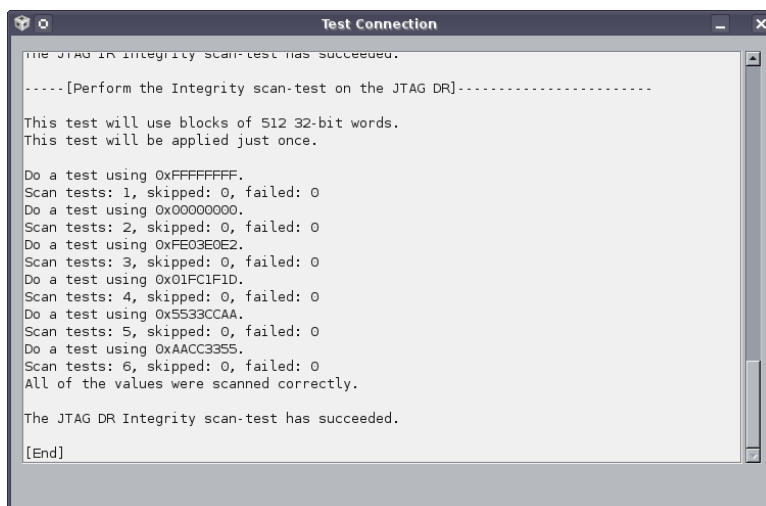
CCS námi vytvořený soubor rovnou otevře a umožní nám zadat konkrétní parametry (Obr.



Obr. 6: Vytvoření nové konfigurace pro JTAGv5



Obr. 7: Vytvoření nové konfigurace pro JTAGv5



Obr. 8: Vytvoření nové konfigurace pro JTAGv5

6). Zde vybereme v poli *Connection* - Texas Instruments XDS100v2 USB Emulator a dále v seznamu najdeme příslušný procesor, v našem případě TMS320F28335, který zaškrtneme. Přepneme na záložku *Advanced*, kde je vidět struktura našeho JTAG řetězce (chainu).

Kliknutím na položku Texas Instruments XDS100v2 USB Emulator_0 se v levé části zobrazí možnosti nastavení tohoto typu emulátoru (Obr. 7). Předvyplněné hodnoty jsou defaultní, avšak je třeba minimálně zadat sériové číslo z výše uvedených důvodů. V poli *Emulator selection* vybereme položku *Select by serial number* a do řádku níže zadáme sériové číslo našeho emulátoru.

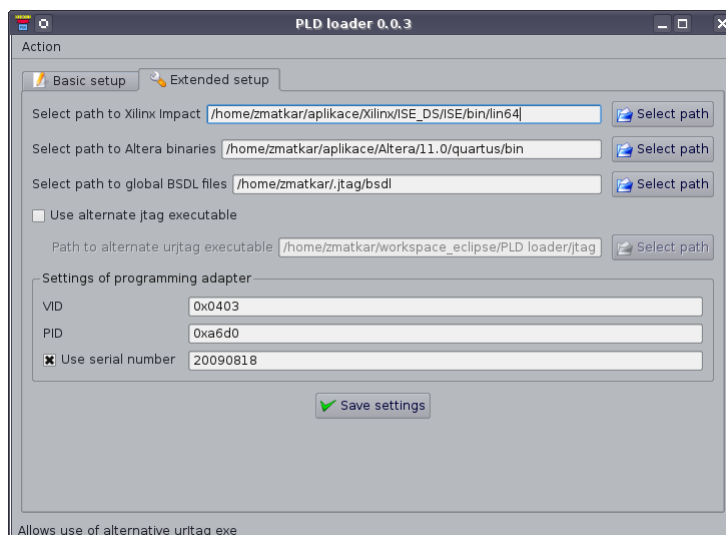
Alternativně je možné zvýšit přenosovou rychlost nebo-li TCLK z 1MHz na vyšší hodnotu. Zaručená funkčnost je do 3,5MHz, pokud však využijeme adaptivní takt hodin JTAG sběrnice lze emulátor provozovat až na 15MHz.

Po nastavení požadovaných parametrů stiskneme tlačítko *Save* a je vhodné námi nastavené parametry otestovat. K tomu je potřeba mít připojený JTAG emulátor k PC i vývojovému kitu. Pak klikneme na tlačítko *Test connection*, CCS zobrazí log testu, který je nutno projít a pokud v něm budou řádky - viz Obr. 8:

The JTAG IR integrity scan test has succeeded.

The JTAG DR integrity scan test has succeeded.

Tak máme správně nastavené všechny parametry a mělo by být možné se připojit k cílovému zařízení.



Obr. 9: Záložka nastavení programu PLD loader

5 Programování PLD obvodů

Pro nahrávání programovatelných logických obvodů pomocí JTAGv5 (postup je aplikovatelný i na předchozí verze emulátoru) je potřeba specializovaný program. Z dostupných aplikací byl zvolen program UrJTAG [2]. Tento program umí nahrávat soubory ve formátu SVF (Scalable Vector File).

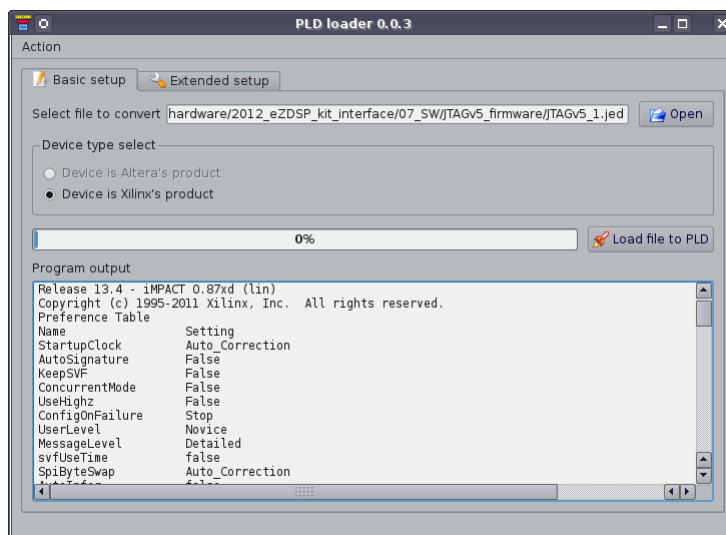
Zjednodušený postup nahrávání by tedy byl:

- Vygenerovat z binárních dat vytvořených příslušným vývojovým prostředím SVF soubor.
- Nakonfigurovat UrJTAG pro použití s JTAGv5.
- Nahrát pomocí UrJTAG data do obvodu.

Program UrJTAG je dostupný pouze pro příkazovou řádku, což poněkud komplikuje jeho použití a proto byla vytvořena speciální aplikace PLD loader, která výše uvedené kroky provede transparentně za nás.

Obsluha programu je velice jednoduchá, při prvním spuštění je třeba nastavit parametry programu aby mohl správně fungovat. Příklad konfigurace viz Obr. 10, pro správnou funkci programu je potřeba nastavit cesty k programům (Xilinx ISE a Altera Quartus) které zajišťují konverzi binárních dat na SVF. Je tedy potřeba mít ISE a Quartus nainstalovány. V případě, že např. nepoužíváme obvody firmy Altera stačí mít jen Xilinx ISE a naopak.

Cesta k BSDL souborům říká kde jsou tyto uloženy. BSDL soubory jsou NUTNÉ pro správnou funkci programu a dají se pro příslušné obvody stáhnout ze stránek výrobce.



Obr. 10: Záložka nastavení programu PLD loader

Dále je třeba nastavit VID a PID, případně i sériové číslo programátoru (v našem případě JTAGv5). Zadání sériového čísla je nezbytné v případě, že máme k PC připojeny dva a více JTAGvX adaptéry a jeden používáme v CCS a druhý chceme použít pro programování PLD obvodů.

Nastavený program je pak již velmi jednoduché používat, v záložce *Basic setup* vybereme soubor který chceme nahrát, zvolíme jaký typ obvodu používáme a stisknutím tlačítka *Load file to PLD* spustíme konverzi dat na SVF a následné nahrání programu do PLD. V okně programu také můžeme sledovat výstupní informace z volaných programů.

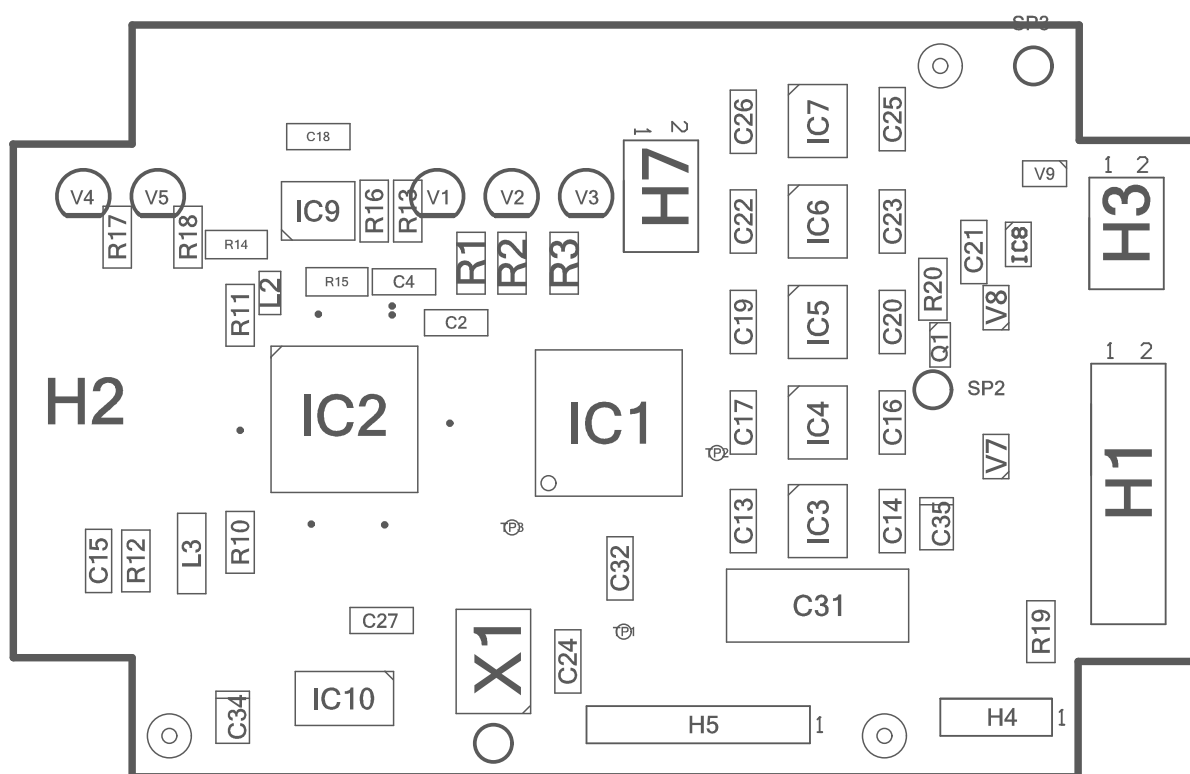
Výstup z volaných programů je zpracován vnitřním detektorem chyb, který případné problémy zobrazí uživateli.

6 Mechanické provedení

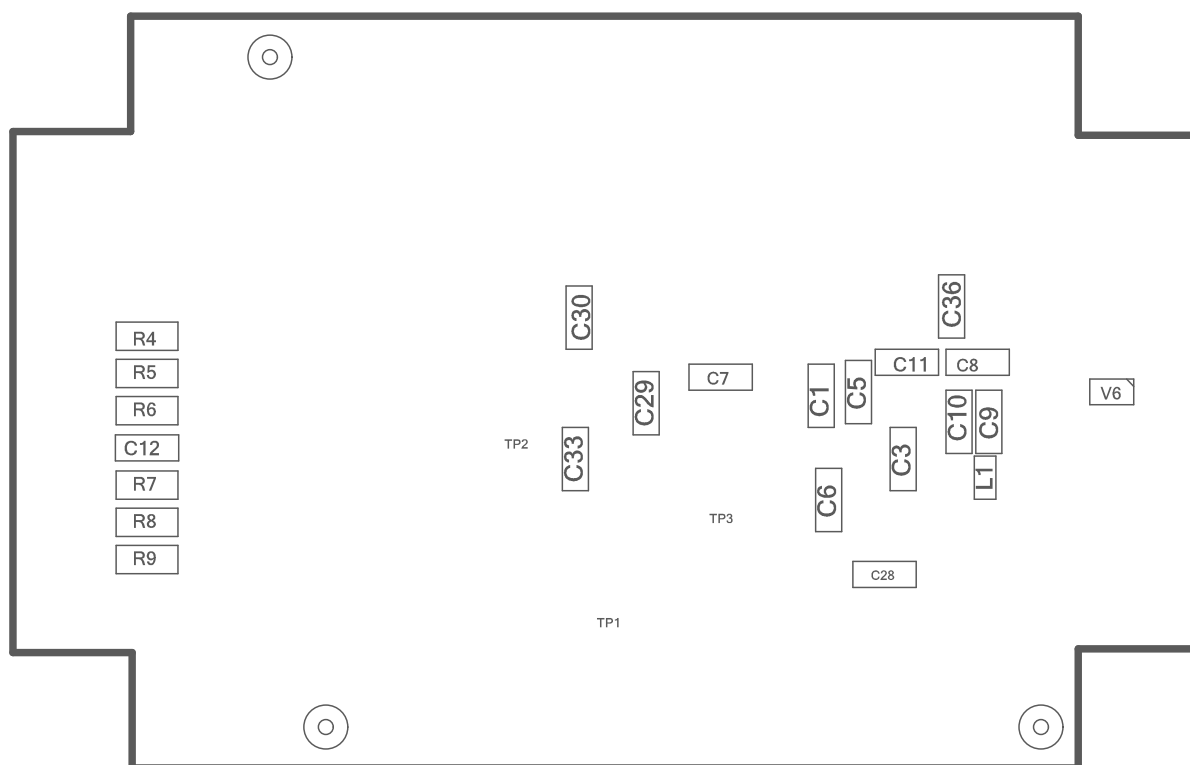
Tato kapitola popisuje rozmístění součástek na DPS a také jejich hodnoty, pro účely oprav nebo pro případnou výrobu dalších kusů. Konstrukce a použité součástky umožňují jednoduchou opravitelnost emulátoru.

Deska plošného spoje má sice v potiscích popsány zcela všechny součástky a to i na spodní straně, může se ale přesto stát, že není zřejmé který popis k čemu patří. V následující podkapitole 6.1 jsou na obrázcích 11 a 12 přesné osazovací listy. Kapitola 6.2 pak obsahuje seznam součástek.

6.1 Osazovací listy



Obr. 11: Rozmístění součástek strana TOP



Obr. 12: Rozmístění součástek strana BOT

6.2 Rozpiska součástek

Název	Pouzdro	Počet	Označení	Identifikace
1.00u	1206	1	C12	CAP CER 1.00u 16V X7R 10% 1206
10.0u	1206	3	C8, C9, C28	CAP CER 10.0u 16V X7R 10% 1206
100n	1206	29	C1, C2, C3, C4, C5, C6, C7, C10, C11, C13, C14, C15, C16, C17, C18, C19, C20, C21, C22, C23, C24, C25, C26, C27, C29, C30, C32, C33, C36	CAP CER 100n 16V X7R 10% 1206
12MHz	osc_pit275_w200	1	X1	OSC Oscillator 12.000MHz 3.3V +/-25ppm
2.20n	cap_pit400_dia276	1	C31	CAP CER 2.20n 4000V X1/Y1
22u	CAP_POL_A	2	C34, C35	CAP ELYT 22u 6.3V A
330R	0805	2	L1, L2	EMI 0805 330R/ 100MHz 1500mA 0.09R
470R	1806	1	L3	EMI 1806 470R/ 100MHz 2000mA 0.05R
74xx14	sot23_pin5	1	IC8	ICS schmitt inverter single gate
93LC46	so8_w160	1	IC9	ICS EEPROM 1kb 128x8 or 64x16
BSN20	SOT23	1	Q1	N-MOS 50V/170mA 20 ohm
FT232HL	LQFP64_pit20	1	IC2	ICS high speed USB to UART converter 2ch
Header_3	HDR1X3_pit100	1	H4	CON 3pin header 100mill 5.4mm
Header_3x2	HDR2X3_pit100	2	H3, H7	CON 3x2pin header 100mill 5.4mm
Header_6	HDR1X6_PIT100	1	H5	CON 6pin header 100mill 5.4mm
ISO7220CDR	so8_w160	1	IC6	ICS digital insulator unidir 25Mbps
ISO7221CDR	so8_w160	4	IC3, IC4, IC5, IC7	ICS digital insulator bidir 25Mbps
L3B	LED3mm	1	V3	OPT LED blue 20mA 3mm
L3G	LED3mm	1	V4	OPT LED green 20mA 3mm
L3O	LED3mm	1	V2	OPT LED orange 20mA 3mm
L3R	LED3mm	2	V1, V5	OPT LED red 20mA 3mm
LM2937IMP-3.3	SOT223_pin4	1	IC10	ICS regulator 3.3V 500mA Vin=26V linear

res	1206	20	R1, R2, R3, R4, R5, R6, R7, R8, R9, R10, R11, R12, R13, R14, R15, R16, R17, R18, R19, R20	RES 1206 1.00k 1% 100ppm SMD thick film
SP3002-04	sot23_pin6	4	V6, V7, V8, V9	PDV ESD - 0.85pF Rail Clamp Array
JTAG 14 pins	HDR2X7_pit100	1	H1	CON JTAG header 14 pins 100mill 5.4mm
USB B TH	USB_B_female	1	H2	CON USB B female TH
XC2C64A-7VQ44C	VQFP44	1	IC1	ICS CoolRunner II 64-macrocell CPLD

7 Závěr

Vyvinutý JTAG emulátor byl otestován v laboratořích KEV při vývoji algoritmů pro víceúrovňové měniče. Bylo tedy prakticky ověřeno, že je spolehlivý a odolný proti EMI vznikajících při práci měničů.

Podpora programování PLD obvodů byla otestována a odladěna především kvůli MLC interface [3], který na sobě kombinuje DSP mikrokontrolér a FPGA hradlové pole. Je tedy výhodné mít možnost programovat oba dva obvody jedním emulátorem.

Úpravou firmware je možné upravit chování celého emulátoru nebo přidat vlastní funkcionalitu a tímto způsobem prodloužit morální životnost celého zařízení.

Výkon JTAGv5 emulátoru je vyšší než u předchozí verzí JTAGv4 a JTAGv3. Prvotní připojení k laděnému zařízení a nahrávání programu trvají kratší dobu než u předchozích verzí. Také např. stažení dat z pamětí laděného zařízení do PC zabere kratší čas.

JTAGv5 umožňuje nahrávat program/firmware do programovatelných logických obvodů, otestovány byly obvody firem Xilinx a Altera.

Emulátor JTAGv5 je stále ještě částečně ve vývoji, aktuální verze hardware i firmware jsou dostupné na [4] a [5].

Literatura

- [1] Košan, T., Nový JTAG emulátor JTAGv3, výzkumná zpráva č.: 22160-57-10, KEV, Západočeská univerzita v Plzni, Plzeň 2010
- [2] UrJTAG - Universal JTAG library, server and tools, dostupné online na: <http://urjtag.org/>
- [3] Košan, T., MLC interface - Vývojový kit pro víceúrovňové měniče s procesorem a FPGA, výzkumná zpráva č.: 22190-10-2012, RICE, Západočeská univerzita v Plzni, Plzeň 2012
- [4] SVN repozitář projektu JTAGv5 - hardware, dostupné online (nutné přihlášení) na: https://riceproject.fel.zcu.cz/svn/projects/2012_eZDSP_kit_interface/06_HW/JTAGv5
- [5] SVN repozitář projektu JTAGv5 - software, dostupné online (nutné přihlášení) na: https://riceproject.fel.zcu.cz/svn/projects/2012_eZDSP_kit_interface/07_SW/JTAGv5_firmware