



**FAKULTA
ELEKTROTECHNICKÁ
ZÁPADOČESKÉ
UNIVERZITY
V PLZNI**

2013

Pracoviště: Regionální inovační centrum elektrotechniky

Výzkumná zpráva č.: 22190 - 001 - 2013

Optimalizovaný návrh PD-PWM modulátoru pro MLC interface

Druh úkolu: Vědecko-výzkumný
Řešitelé: Ing. Dušan Janík, Ing. Tomáš Košan
Vedoucí úkolu: Prof. Ing. Zdeněk Peroutka, Ph.D.
Počet stran: 18
Datum vydání: leden 2013
Revize: 2

Práce vznikla s podporou projektů CZ.1.05/2.1.00/03.0094. a
s podporou TAČR v rámci projektu TA01010863.

Anotace

Tato výzkumná zpráva se zabývá podrobným popisem upravené struktury PD-PWM modulátoru navrženého v obvodu FPGA pro úlohu řízení 4úrovňového měniče s plovoucími kondenzátory (FLC). Úpravy struktury vycházejí ze specifických požadavků řídicí jednotky MLC interface.

Seznam symbolů a zkratk

FLC	Floating capacitor
PD-PWM	Phase Disposition Pulse Width Modulation
MLC	Multilevel Converter interface

Obsah

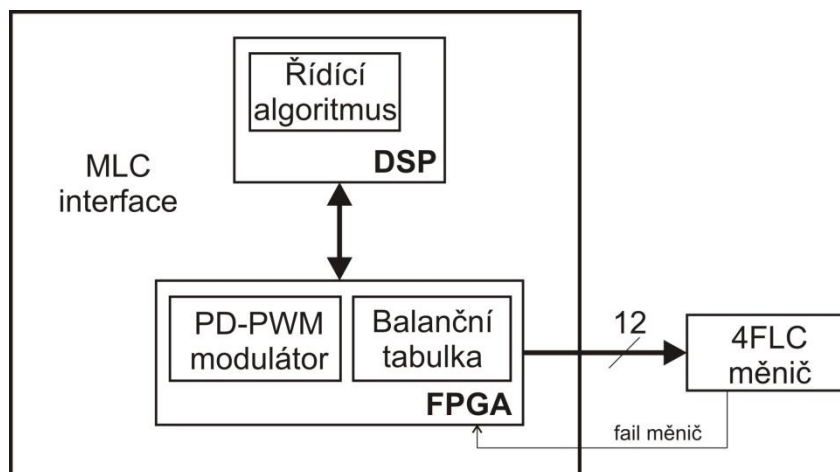
1	ÚVOD.....	4
2	ZÁKLADNÍ ZJEDNODUŠENÁ STRUKTURA MLC INTERFACE	5
3	STRUKTURA ENTITY MLC_CONTROLER.....	5
3.1	Entita bus_read_write.....	7
3.2	Entita pwm_interface	8
3.3	Zbylé entity a jejich funkce	8
4	STRUKTURA PD-PWM	9
4.1	Entita transform.....	10
4.2	Entita pwm_block_800.....	10
4.3	Entita bal.....	13
4.4	Entita brana_PWM	14
5	ZÁVĚR.....	15

1 Úvod

Upravená struktura modulátoru PD-PWM je navržena s ohledem na specifické požadavky použitého hardware řídicí jednotky MLC. Samotný výpočet algoritmu řízení čtyř-úrovňového měniče FLC je rozdělen do dvou částí. První část (regulace) je zpracována v procesoru DSP, zpracování druhé části (balancování a modulace) zajišťuje obvod FPGA. Výsledná hodnota, která představuje požadovaný vektor modulačního signálu, z první části výpočtu algoritmu je předána do druhé části zápisem do společného paměťového prostoru procesoru DSP a jednotky FPGA.

2 Základní zjednodušená struktura MLC interface

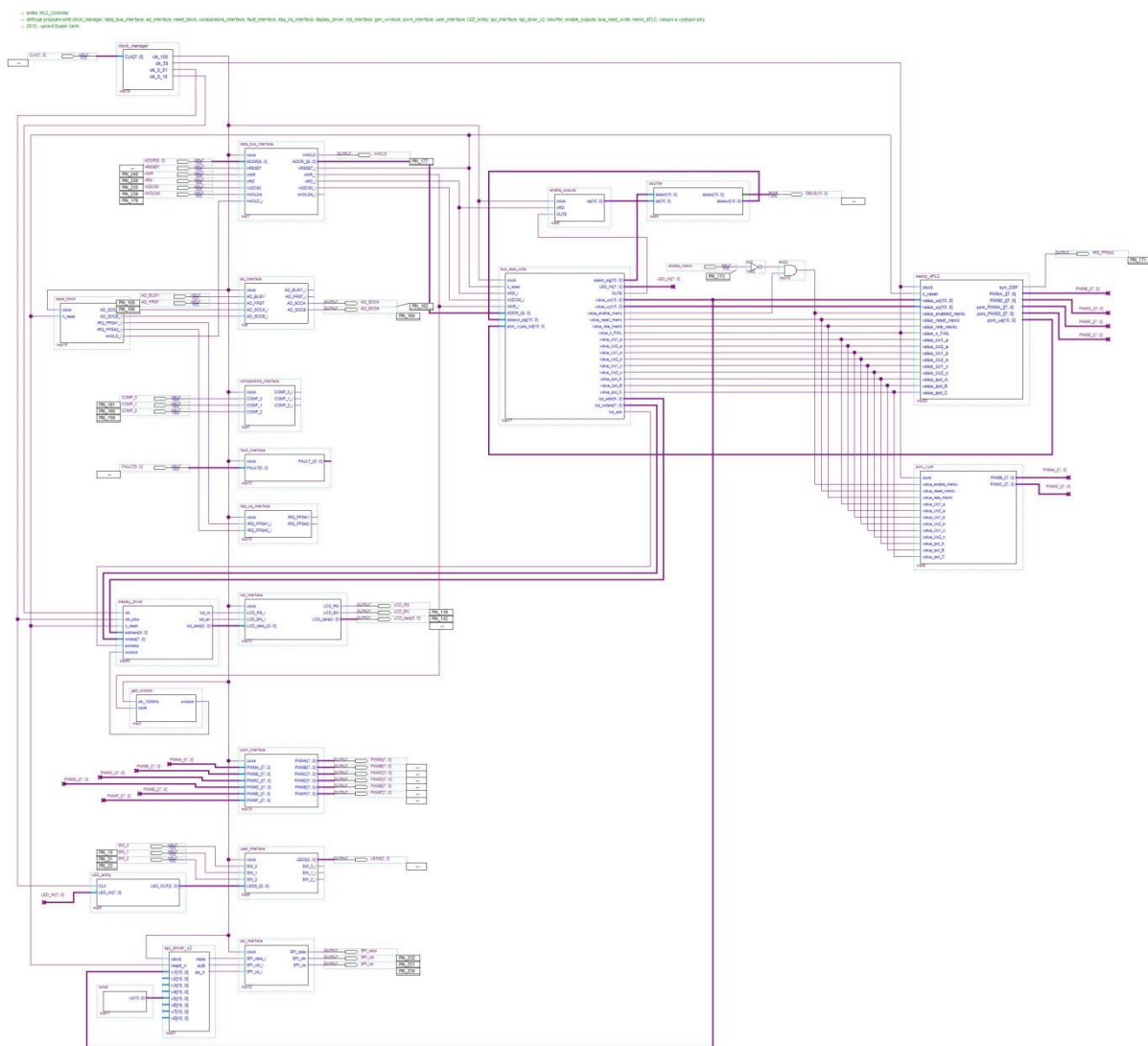
Blokové schéma (Obr. 1) zapojení navržené řídicí jednotky přibližuje vnitřní komunikační strukturu MLC interface včetně komunikace se samotným prototypem měniče.



Obr. 1: Blokové schéma řídicí jednotky MLC interface a měniče

3 Struktura entity MLC_Controller

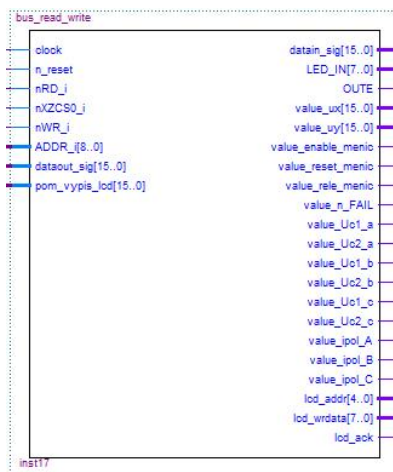
Kompletní struktura entity *MLC_Controller* je tvořena spojením celkem dvaceti entit. Z tohoto počtu je 18 entit využito pro ovládání jednotlivých hardwarových prvků vývojové řídicí desky MLC interface. Pojmenování těchto entit je následující: *clock_manager*, *data_bus_interface*, *ad_interface*, *reset_block*, *comparators_interface*, *fault_interface*, *dsp_irq_interface*, *display_driver*, *lcd_interface*, *gen_wrclock*, *pwm_interface*, *user_interface*, *LED_entity*, *spi_interface*, *spi_driver_v2*, *iobuffer*, *enable_outputs*, *bus_read_write*. Zbylé dvě entity slouží k samotnému řízení měniče a generování pomocných signálů pro testování. Tyto entity jsou *menic_4FLC* a *pom_vyst*. Struktura a celkové zapojení jednotlivých entit je přiblížena na Obr. 5.



Obr. 2 Vnitřní struktura entity *MLC_Controller*

3.1 Entita *bus_read_write*

Vstupní a výstupní signály entity *bus_read_write* jsou přiblíženy na následujícím obrázku Obr. 3.



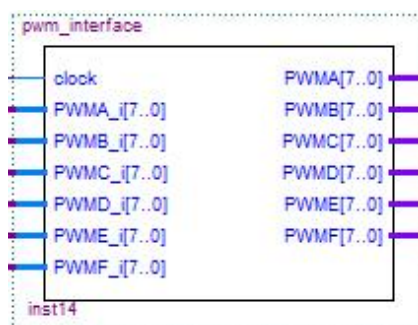
Obr. 3 Entita *bus_read_write*

Entita *bus_read_write* využívá služeb dalších tří entit, tyto entity jsou *iobuffer*, *data_bus_interface* a *enable_outputs*. Entita *iobuffer* řídí funkce vstupně-výstupního bufferu, entita *data_bus_interface* navzorkuje řídicí signály pro sběrnici od procesoru DSP a nastaví příslušné vnitřní signály, entita *enable_outputs* určuje platnost výstupních dat. Entita *bus_read_write* přijme a zpracuje data vystavená procesorem DSP na společnou sběrnici. Jednotlivé hodnoty proměnných mají definovanou vzájemně jednoznačnou adresu v adresovém prostoru sběrnice. První složka požadovaného napětí u_x má přidělenou adresu 14_{HEX}, druhá složka požadovaného napětí u_y má přidělenou adresu 15_{HEX}, bitové hodnoty definující stav napětí na plovoucích kondenzátorech a polaritu proudů fází mají přidělenou společnou adresu 16_{HEX}, řídicí signály *enable*, *reset* a *rele* mají přiděleny adresy 17_{HEX}, 18_{HEX} a 19_{HEX}. Přijaté hodnoty dat jsou následně přeposlány na příslušné výstupy entity *bus_read_write*. Tyto výstupy jsou zpracovány entitou *menic_4FLC*.

Kromě výše uvedených dat zpracovává data určená pro blok LED diod a LCD panel, adresa dat pro LCD panel je 12_{HEX} a pro blok diod je 13_{HEX}. Data pro LCD panel jsou následně zpracovány hlavními entitami *display_driver* a *lcd_interface* (pomocná entita *gen_wrclock* generuje hodinový signál *wrclock* odvozený od řídicího signálu *nWR* pro entitu *display_driver*). Data pro blok diod jsou zpracovány entitami *LED_entity* a *user_interface*.

3.2 Entita *pwm_interface*

Vstupní a výstupní signály entity *pwm_interface* jsou přiblíženy na následujícím obrázku Obr. 4.



Obr. 4: Entita *pwm_interface*

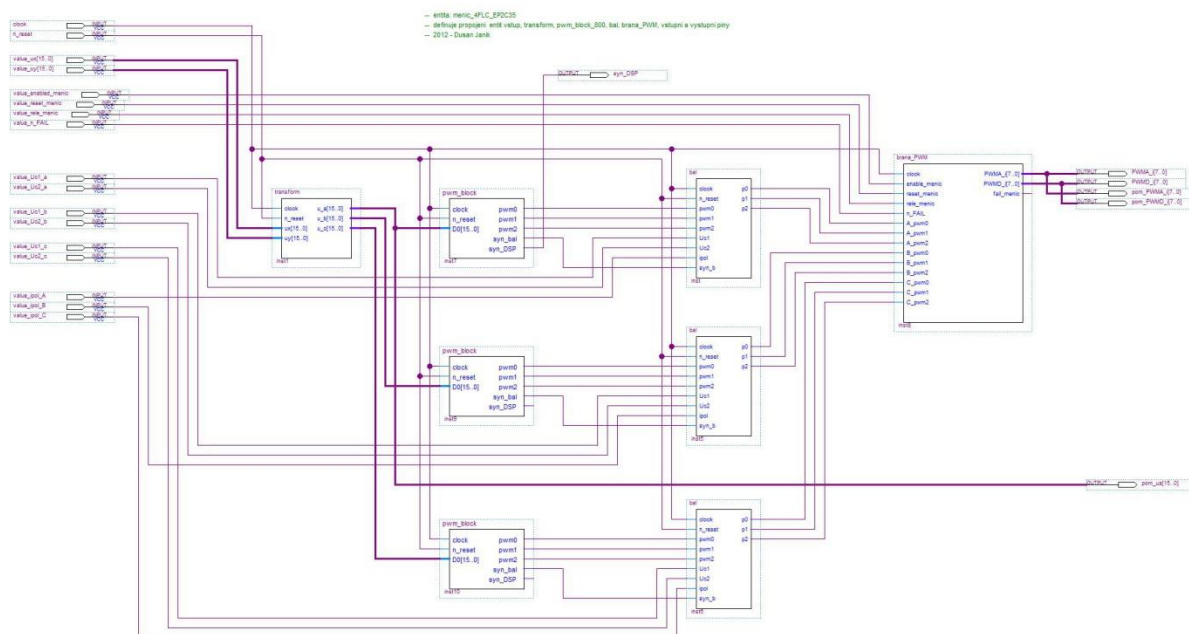
Entita *pwm_interface* přijme šest skupin po osmi PWM signálů předá na příslušné výstupy s náběžnou hranou hodinového signálu.

3.3 Zbylé entity a jejich funkce

Entita *clock_manager* generuje sadu hodinových signálů o frekvencích 100MHz, 50MHz, 100kHz a 10kHz. Entita *ad_interface* řídí funkci HW AD převodníku. Entita *reset_block* definuje stav řídicích signálů (*AD_SOCA*, *AD_SOCB*, *IRQ_FPGA1*, *IRQ_FPGA2* a *nHOLD*) po resetu. Entita *comparators_interface* přijímá signály od komparátorů. Entita *fault_interface* přijímá chybové signály. Entita *dsp_irq_interface* přijímá požadavky na přerušení od procesoru DSP. Entity *spi_interface* a *spi_driver_v2* zpracují data a odešlou je ve formátu spi do HW DA převodníků.

4 Struktura PD-PWM

Kompletní struktura upraveného PD-PWM modulátoru a balanční tabulky je tvořena spojením čtyř samostatných entit *transform*, *pwm_block_800*, *bal* a *brana_PWM*. Struktura a celkové zapojení jednotlivých entit je přibližena na Obr. 5.



Obr. 5: Upravená struktura PD-PWM modulátoru

Procesor DSP vystaví výstupní data sběrnici, kde si je vyčte entita *bus_read_write* z nadřazené struktury MLC driveru a předá je ke zpracování entitě *menic_4FLC*. Entita *transform* převede tyto vstupní hodnoty (u_x , u_y) definující požadované napětí na tři hodnoty definující tři fázová napětí (u_a , u_b , u_c). Hodnoty fázových napětí představují v první fázi modulační signály a jsou zpracovány entitou *pwm_block_800*, která vyhodnotí okamžiky koincidence s nosným pilovým signálem a vygeneruje řídicí signály PWM (3x3 PWM signály), frekvence pilového signálu je 800Hz. Ve druhé fázi jsou trojce PWM signálů zpracovány entitou *bal*, která sestaví výsledné spínací kombinace pro prvky měniče. Všechny výstupní signály ze všech tří fází vstupují do poslední entity *brana_PWM*, která sjednotí jednotlivé signály, tak aby odpovídali pozičně i označením signálům na vstupech driverů.

4.1 Entita transform

Vstupní a výstupní signály entity *transform* jsou přiblíženy na následujícím obrázku Obr. 6.



Obr. 6: Entita transform

Funkcí entity *transform* je převést napěťový vektor určený dvěma složkami u_x a u_y na složky třífázového napětí u_a , u_b a u_c . Výpočet je proveden podle následujících vzorců.

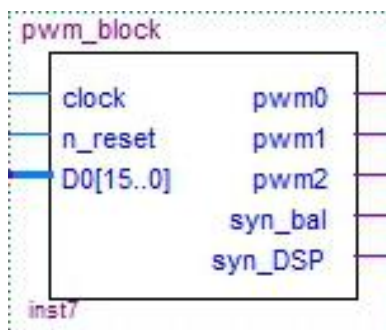
$$u_a = u_x$$

$$u_b = -0,5 u_x + \frac{\sqrt{3}}{2} u_y$$

$$u_c = -0,5 u_x - \frac{\sqrt{3}}{2} u_y$$

4.2 Entita pwm_block_800

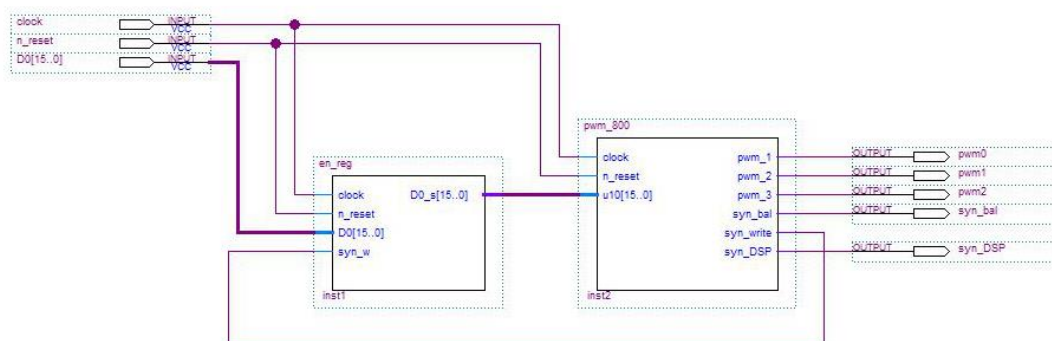
Vstupní a výstupní signály entity *pwm_block_800* jsou přiblíženy na následujícím obrázku Obr. 7.



Obr. 7: Entita pwm_block_800

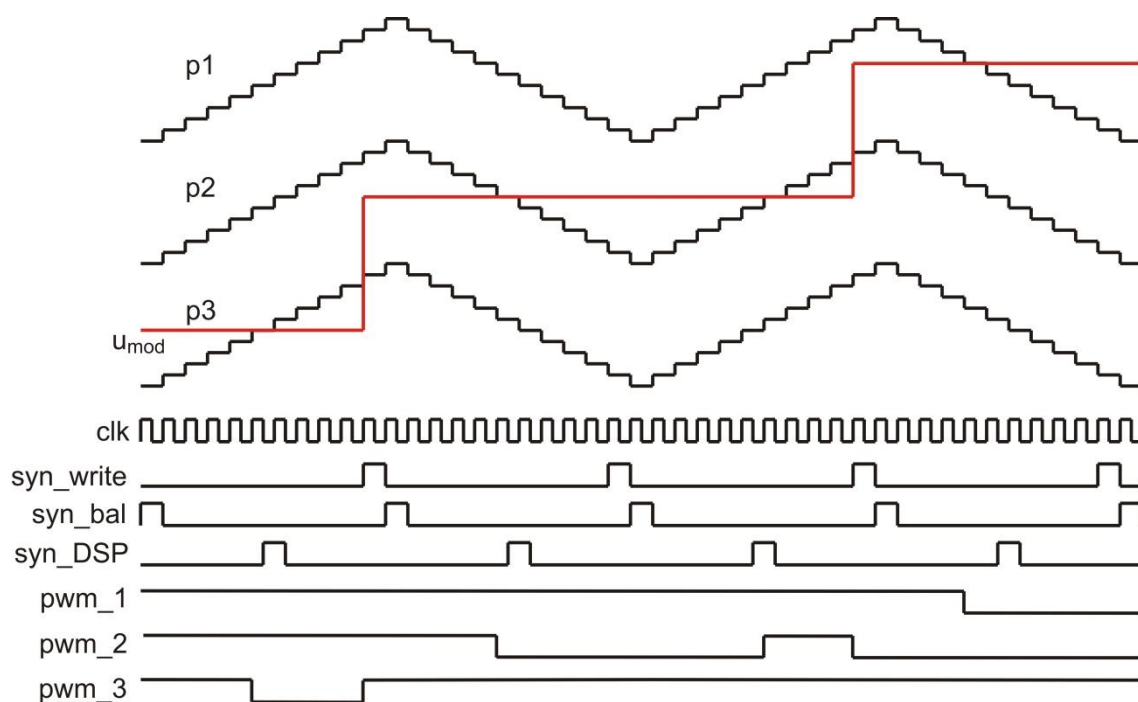
Struktura entity *pwm_block_800* je tvořena spojením dvou entit *en_reg* a *pwm_800* (Obr. 8).

-- entita: pwm_block_800
 -- definuje propojení entit en_reg, pwm_800, vstupní a výstupní piny
 -- 2012 - Dusan Janik



Obr. 8: Vnitřní zapojení entity *pwm_block_800*

Entita *en_reg* pracuje jako registr, který se synchronizačním impulsem přesune 16bitové data ze vstupu k dalšímu zpracování entitou *pwm_800*. Entita *pwm_800* plní funkci PD-PWM modulátoru. Obsahuje tři generátory pilového signálu, jejichž rozsahy jsou řazeny nad sebou tak aby pokryly celý rozsah modulačního signálu. Rozsah jedné pily odpovídá 1/3 rozsahu modulačního signálu. Pro každý ze tří pilových signálů je vyhodnocován okamžik koincidence, jsou tak vytvořeny tři výstupní řídicí pwm signály. Kromě těchto signálů generuje také synchronizační pulsy jak pro entitu *en_reg* a *bal*, tak pro procesor DSP. Obr. 9 zachycuje funkci PD-PWM modulátoru.

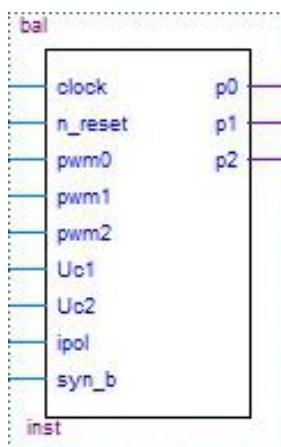


Obr. 9: Funkce PD-PWM modulátoru

Jak je z výše uvedeného obrázku patrné synchronizační pulsy *syn_write* pro entitu *en_reg* jsou generovány jak v maximu-1, tak v minimu+1 nosného pilového signálu. Synchronizační pulsy *syn_bal* pro entitu *bal* jsou generovány v maximu a v minimu nosného pilového signálu. Synchronizační pulsy *syn_DSP* pro procesor DPS jsou generovány přibližně v polovině rozsahu nosného pilového signálu, tak aby byl dostatek času pro výpočet nových hodnot složek (u_x , u_y) požadovaného výstupního napětí měniče.

4.3 Entita *bal*

Vstupní a výstupní signály entity *bal* jsou přiblíženy na následujícím obrázku Obr. 10.

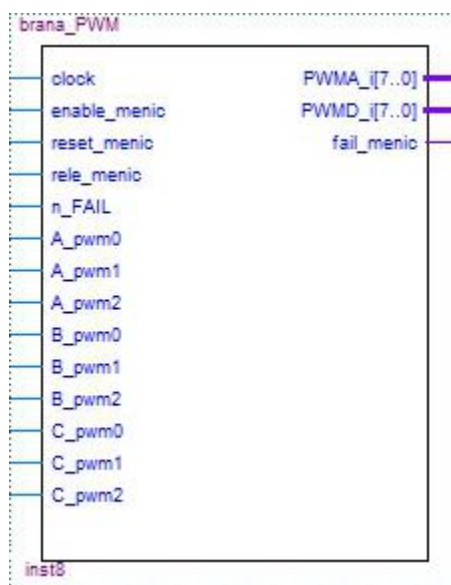


Obr. 10: Entita *bal*

Základem entity *bal* je tabulka spínacích kombinací. Jednotlivé vstupy (*pwm0*, *pwm1*, *pwm2*, *uc0*, *uc1* a *ipol*) entity tvoří adresu do této tabulky a výstupy (*p0*, *p1*, *p2*) pak spínací kombinace uložené na příslušných adresách. Horní polovina adresy (*pwm0*, *pwm1*, *pwm2*) je obnovována s náběžnou hranou hodinového signálu. Dolní polovina adresy (*uc0*, *uc1* a *ipol*) je oproti tomu obnovována se synchronizačním impulsem *syn_bal* generovaného entitou *pwm_block_800*. Podrobněji viz. [1].

4.4 Entita *brana_PWM*

Vstupní a výstupní signály entity *brana_PWM* jsou přiblíženy na následujícím obrázku Obr. 11.



Obr. 11: Entita *brana_PWM*

Entita *brana_PWM* přijme jednotlivé vstupní signály, pozmění jejich jména i pozici a předá na příslušné výstupy. Výstupní signály *PWMX_i* a *fail_menic* jsou řízeny aktivní úrovní (log. '1') vstupního signálu *enable_menic*.

5 Závěr

Upravená struktura PD-PWM modulátoru byla implementována a otestována v obvodu FPGA EP3C40Q v nové řídicí desce MLC interface. Otestovány byly rovněž tři typy synchronizace mezi procesorem DSP a jednotkou FPGA. Dále pak byla testována odolnost schopnosti balancování napětí na kondenzátorech vůči umělému rozvážení.

Literatura

- [1] P. Kokeš, R. Semerád: **Návrh konfigurace pole FPGA pro řízení 4-hladinového střídače s plovoucími kondenzátory**. Technická zpráva č. T-478/07, Ústav termomechaniky AV ČR, v. v. i., 2007

Seznam obrázků

Obr. 1: Blokové schéma řídicí jednotky MLC interface a měniče	5
Obr. 2 Vnitřní struktura entity MLC_Controller	6
Obr. 3 Entita bus_read_write	7
Obr. 4: Entita pwm_interface	8
Obr. 5: Upravená struktura PD-PWM modulátoru	9
Obr. 6: Entita transform	10
Obr. 7: Entita pwm_block_800	10
Obr. 8: Vnitřní zapojení entity pwm_block_800	11
Obr. 9: Funkce PD-PWM modulátoru	12
Obr. 10: Entita bal	13
Obr. 11: Entita brana_PWM	14

Historie revizí

Rev.	Kapitola	Popis změny	Datum Jméno / Odd.
1	Všechny	Publikování dokumentu	30.1.2013 Janík / KEV
2		Upravení projektu	11.3.2014 Janík/KEV