FAKULTA
ELEKTROTECHNICKÁ
ZÁPADOČESKÉ
UNIVERZITY
V PLZNI

2013

Pracoviště: Regionální inovační centrum elektrotechniky

Výzkumná zpráva č.: 22190 - 016 - 2013

Experimentální studie přednabíjení plovoucích kondenzátorů FLC měniče

Druh úkolu: Vědecko-výzkumný

Řešitelé: Ing. Dušan Janík, Ing. Tomáš Košan

Vedoucí úkolu: Prof. Ing. Zdeněk Peroutka, Ph.D.

Počet stran: 14

Datum vydání: květen 2013

Revize: 1

Práce vznikla s podporou projektu CZ.1.05/2.1.00/03.0094 a s podporou TAČR v rámci projektu TA01010863.

Anotace

Tato výzkumná zpráva se zabývá výstupy z reálného testu funkčnosti vybrané metody pro přednabíjení plovoucích kondenzátorů čtyř-hladinového měniče 4L-FLC. Měření bylo provedeno v rámci navržené startovací rutiny pro prototyp čtyř-hladinového měniče 4L-FLC.

Seznam symbolů a zkratek

4L-FLC	Four Level Flying Capacitor
IGBT	Insulated Gate Bipolar Transistor

Obsah

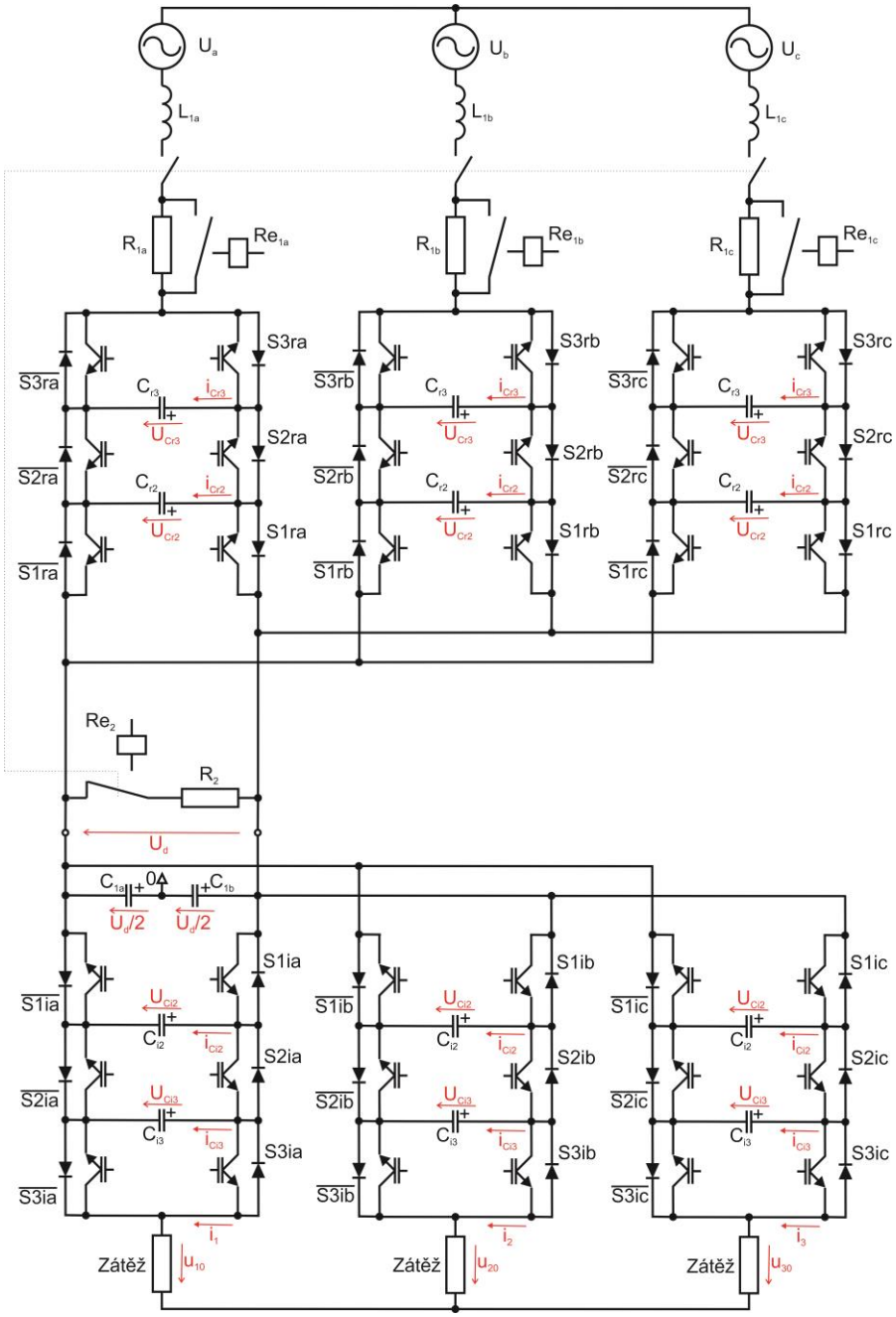
1 ÚVOD 4
2 STRUKTURA PROTOTYPU 4FLC MĚNIČE 5
3 VYBRANÁ PŘEDNABÍJECÍ METODA (VARIANTA 1) 6
4 STAVOVÝ AUTOMAT ŘÍDÍCÍ PŘEDNABÍJECÍ SEKVENCI V PROCESORU DSP ... 7
5 NEZBYTNÉ ÚPRAVY VE STRUKTUŘE MODULÁTORU V OBVODU FPGA 9
6 NAMĚŘENÉ VÝSLEDKY 9
7 ZÁVĚR 12

1 Úvod

Korektní činnost čtyř-úrovňového měniče 4L-FLC vyžaduje přednabité plovoucí kondenzátory a kondenzátory ve stejnosměrném obvodu měniče. Existuje několik způsobů jak tyto kondenzátory přednabít z externího zdroje, ty však vyžadují přidání dodatečného hardwaru ke stávajícímu zapojení měniče. V literatuře jsou zmíněny metody, které pro přednabití využívají strukturu samotného měniče. Cílem této výzkumné zprávy je zhodnotit reálné testy funkčnosti vybrané přednabíjecí metody v rámci nové startovací sekvence pro vyvinutý čtyř-úrovňový měnič 4L-FLC.

2 Struktura prototypu 4FLC měniče

Zjednodušená struktura měniče 4L-FLC, na kterém bude otestována vybraná metoda přednabíjení plovoucích kondenzátorů, je přiblížena na Obr. 1.

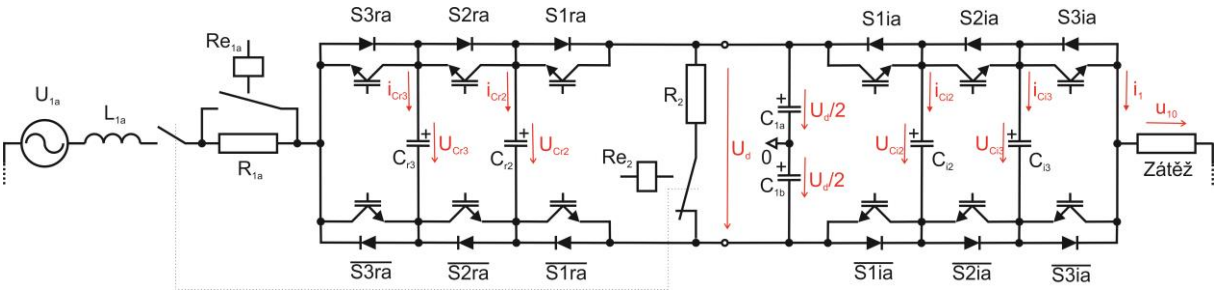


Obr. 1: Schéma trojfázového čtyř-úrovňového měniče 4L-FLC s plovoucími kondenzátory

Jak je z obrázku patrné, pro přednabití využijeme přednabíjecí odpory R_{1a}, R_{1b}, R_{1c}, které jsou po dosažení požadovaných hodnot napětí na plovoucích kondenzátorech (C_{R3}, C_{R2}, C_{1a}, C_{1b}, C_{I2}, C_{I3}) přemostěny.

3 Vybraná přednabíjecí metoda (varianta 1)

Vybraná přednabíjecí metoda, jejíž funkce je popsaná ve zprávě [1], využívá zpětné diody ve struktuře měniče. Úpravou spínání prvků je docíleno vytvoření diodového usměrňovače, který postupně nabije jak jednotlivé plovoucí kondenzátory, tak i sériově spojené kondenzátory C_{1a} a C_{1b} tvořící stejnosměrný meziobvod (dále jen C_{1ab}) na požadované startovací napětí (pro C_{R3}, C_{I3} je $1/3U_d$, pro C_{R2}, C_{I2} je $2/3U_d$, pro C_{1ab} je U_d). Kombinace sepnutí jednotlivých spínacích prvků jedné fáze jsou celkem tři.



Obr. 2: Schéma jedné fáze (pro variantu 1)

1. kombinace sepnutí je $S3ra = \overline{S3ra} = 0$, $S2ra = \overline{S2ra} = 1$, $S1ra = \overline{S1ra} = 1$ a $S3ia = \overline{S3ia} = 0$, $S2ia = \overline{S2ia} = 1$ a $S1ia = \overline{S1ia} = 1$. V této fázi je připojeno všech pět kondenzátorů C_{1ab}, C_{r2}, C_{r3} a C_{i2}, C_{i3}. Nabíjejí se tedy současně na hodnotu $1/3U_d$. Po dosažení požadovaného napětí jsou vypnuty spínače $S2ra$ a $S2ia$.

2. kombinace sepnutí je $S3ra = \overline{S3ra} = 0$, $S2ra = \overline{S2ra} = 0$, $S1ra = \overline{S1ra} = 1$ a $S3ia = \overline{S3ia} = 0$, $S2ia = \overline{S2ia} = 0$ a $S1ia = \overline{S1ia} = 1$. V této fázi jsou připojeny tři kondenzátory C_{1ab}, C_{r2} a C_{i2}. Nabíjejí se současně na hodnotu $2/3U_d$. Po dosažení požadovaného napětí jsou vypnuty spínače $S1ra$ a $S1ia$.

3. kombinace sepnutí je $S3ra = \overline{S3ra} = 0$, $S2ra = \overline{S2ra} = 0$, $S1ra = \overline{S1ra} = 0$ a $S3ia = \overline{S3ia} = 0$, $S2ia = \overline{S2ia} = 0$ a $S1ia = \overline{S1ia} = 0$. V této fázi je připojen pouze kondenzátor C_{1ab} a nabíjí se na hodnotu U_d. Po dosažení požadovaného napětí je přemostěn pomocný přednabíjecí odpor R_{1a} čímž se přímo připojí napájecí napětí k měniči. Tímto krokem je ukončena přednabíjecí sekvence a je spuštěno řízení měniče s aktivním balancováním.

Hlavní přínos této varianty spočívá v možnosti nabíjení plovoucích kondenzátorů jak kladnou tak zápornou půlvlnou střídavého napájecího napětí.

4 Stavový automat řídící přednabíjecí sekvenci v procesoru DSP

První věc co je potřeba znát je úroveň napětí na kondenzátorech, tímto zjistíme které kondenzátory je potřeba nabít. Samotný výpočet se provede podle rovnic (1) - (3). Konstanta *0,9* ve vzorci (1) znamená, že kondenzátor C_{1ab} bude přednabit na 90% požadovaného napětí U_d před spuštěním aktivního balancování.

$$U_{dnom} = 0{,}9 \cdot (U_{ac}) \cdot \sqrt{2} \quad (1)$$

$$U_{c2nom} = \frac{2}{3} \cdot U_{dnom} \quad (2)$$

$$U_{c3nom} = \frac{1}{3} \cdot U_{dnom} \quad (3)$$

Přednabíjecí sekvence je součástí startovací (restartovací) procedury měniče, která má celkem pět stavů. Vývojový diagram stavového automatu řídící přednabíjecí sekvenci měniče je přiblížen na Obr. 3 a souhrn spínacích kombinací je uveden v Tab. 1.

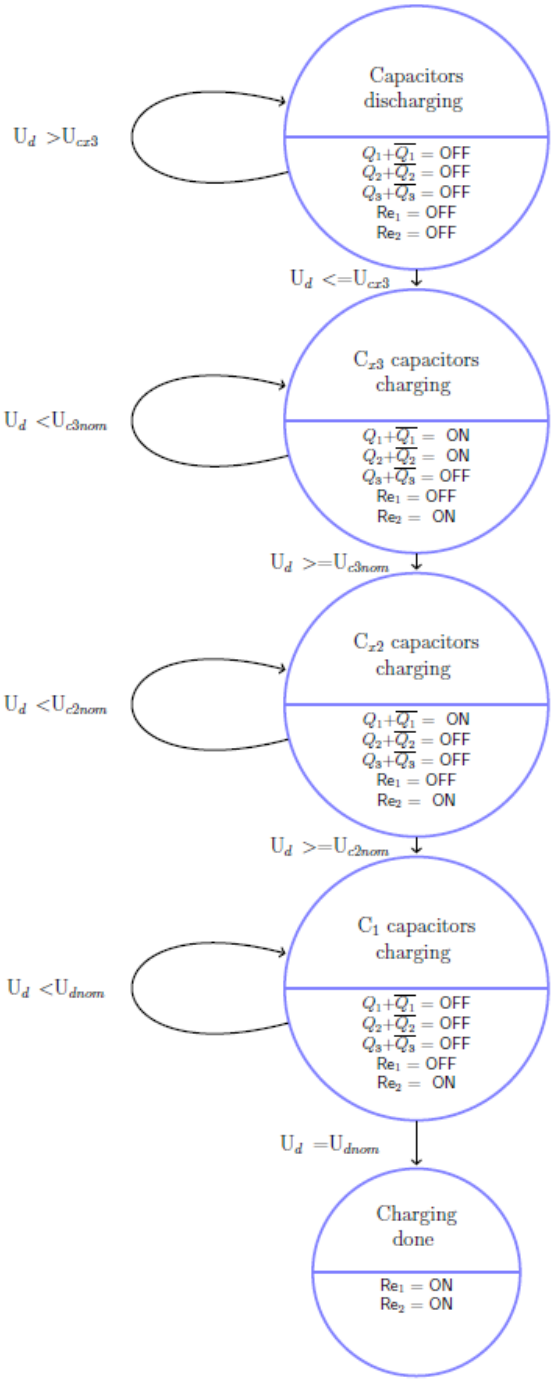
V prvním stavu (Capacitors discharging) dojde k vybití všech kondenzátorů (pouze v případě restartovací sekvence) na hodnotu napětí kondenzátoru C_{x3} (kde *x* zastupuje znaky *r* a *i*), tj. $1/3U_{dnom}$. Vybíjení je provedeno tak že je měnič odpojen od napájecího střídavého zdroje a současně je připojen odpor R_2 paralelně k stejnosměrnému meziobvodu (viz. Obr. 2), (relé Re_2 je vypnuto). Je nutné předejít velkému proudu, který by protekl mezi kondenzátory ve chvíli jejich společnému propojení během přednabíjecí sekvence. Vybití na hodnotu $1/3U_{dnom}$ rovněž podstatně zkracuje dobu potřebnou k restartu měniče, ve srovnání s vybíjením na 0 V. První stav je automaticky vynechán, pokud jde o startovací sekvenci, tj. kondenzátory jsou již vybité.

Ve druhém stavu (C_{x3} capacitors charging) se nastaví 1. kombinace sepnutí prvků měniče a sepne relé Re_2, tj. měnič je připojen ke střídavému napájecímu zdroji a odpor R_2 je odpojen od stejnosměrného meziobvodu. Zpětné diody ze všech tří větví vytvoří plnohodnotný dvoupulsní usměrňovač a umožní nabíjení plovoucích kondenzátorů C_{x2}, C_{x3} a kondenzátorů v stejnosměrném meziobvodu C_{1a}, C_{1b} přes odpor R_1 (viz. Obr. 2). Ve chvíli kdy napětí na plovoucím kondenzátoru C_{x3} dosáhne hodnoty U_{c3nom} bude splněna podmínka přechodu, stavový automat přechází do třetího stavu a nastaví 2. kombinaci sepnutí prvků měniče.

Ve třetím stavu volbou 2. kombinace sepnutí pokračuje v nabíjení plovoucích kondenzátorů C_{x2} a kondenzátorů v stejnosměrném meziobvodu C_{1a}, C_{1b}. Kondenzátory C_{x3} jsou odpojeny a pomalu se vybíjí. Ve chvíli kdy napětí na plovoucích kondenzátorech C_{x2} dosáhne hodnoty

U_{c2nom} bude splněna podmínka přechodu, stavový automat přechází do čtvrtého stavu a nastaví 3. kombinaci sepnutí prvků měniče.

Ve čtvrtém stavu 3. kombinace sepnutí prvků měniče pokračuje v nabíjení kondenzátorů v stejnosměrném meziobvodu C_{1a}, C_{1b}. Kondenzátory C_{x3} a C_{x2} jsou odpojeny a pomalu se vybíjí. Ve chvíli kdy napětí na kondenzátorech C_{1a}, C_{1b} dosáhne hodnoty U_{dnom} je přednabíjecí sekvence dokončena a je spuštěno řízení s aktivním balancováním.



Obr. 3: Vývojový diagram stavového automatu řídícího předbabíjecí sekvenci

Tab. 1: Spínací kombinace měniče

Stav měniče	$S1x$	$\overline{S1x}$	$S2x$	$\overline{S2x}$	$S3x$	$\overline{S3x}$
Nabíjení C_{x3}[1]	1	1	1	1	0	0
Nabíjení C_{x2}[1]	1	1	0	0	0	0
Nabíjení C_{x1ab}[1]	0	0	0	0	0	0
Nabito[2]	PWM_{1x}	$\overline{PWM_{1x}}$	PWM_{2x}	$\overline{PWM_{2x}}$	PWM_{3x}	$\overline{PWM_{3x}}$
Vybíjení[2]	0	0	0	0	0	0

[1] měnič je v předabíjecím módu

[2] měnič je v provozním módu (aktivní balancování)

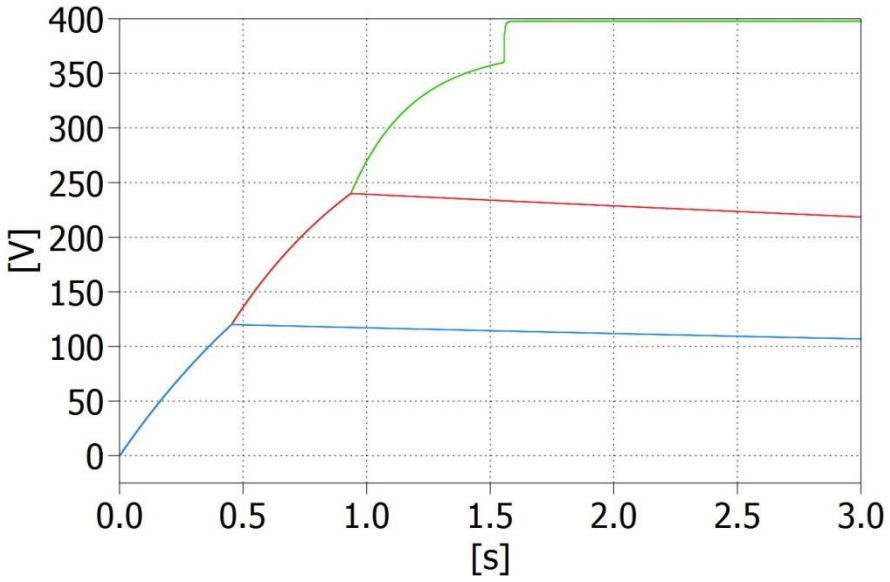
5 Nezbytné úpravy ve struktuře modulátoru v obvodu FPGA

Funkce nadřazené řídící jednotky DSP byla rozšířena o dvojici řídících signálů *prechar* definující start a ukončení přednabíjecí sekvence. První řídící signál ovládá přednabíjení bloku usměrňovače a druhý řídící signál ovládá přednabíjení bloku střídače. Oba signály jsou tvořeny dvojicí informačních bitů. Přednabíjecí sekvence se skládá ze tří fází, každá z těchto fází je jednoznačně definována hodnotou dvojicí informačních bitů. V první fázi je nabíjeno všech pět kondenzátorů C_{1ab}, C_{r2}, C_{r3} a C_{i2}, C_{i3} na hodnotu $1/3U_d$. Ve druhé fázi jsou nabíjeny tři kondenzátory C_{1ab}, C_{r2} a C_{i2} na hodnotu $2/3U_d$ a ve třetí je nabíjen samotný kondenzátor C_{1ab} na hodnotu U_d. Pro jednotlivé fáze jsou postupně nastavovány příslušné kombinace sepnutí jednotlivých spínacích prvků čtyř-hladinového měničeL- FLC. Samotná přednabíjecí sekvence proběhne ve chvíli, kdy je rozpoznán požadavek na přednabití měniče definovaný kombinací řídících signálů DSP *enable_menic* a *rele_menic*.

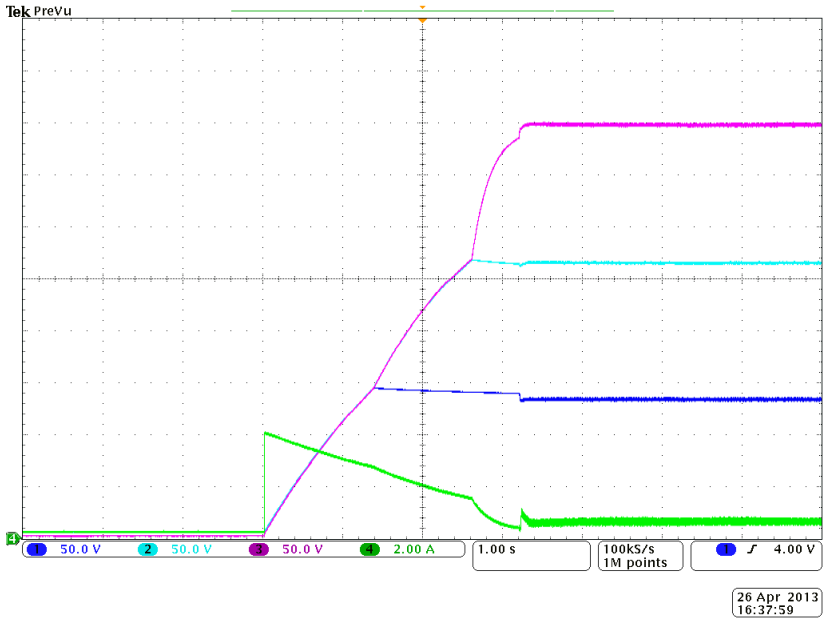
6 Naměřené výsledky

Měření bylo provedeno na prototypu čtyř-hladinového měniče 4L-FLC. Algoritmus přednabíjecí metody byl implementován jako součást startovací procedury pro řídící jednotku MLC interface. Funkce aktivní balancovací jednotky v obvodu FPGA je vyřazena z činnosti nadřazenou řídící jednotkou v procesoru DSP, tímto je umožněn přímí přístup nadřazené řídící jednotky k ovládání jednotlivých spínacích prvků IGBT FLC měniče. Hodnoty získané simulací přdnabíjecí sekvence popsané v [1], jsou uvedeny na obrázku Obr. 4. Naměřené hodnoty dokumentují obrázky Obr. 5 a Obr. 6. Konkrétně na Obr. 5 je zachycena

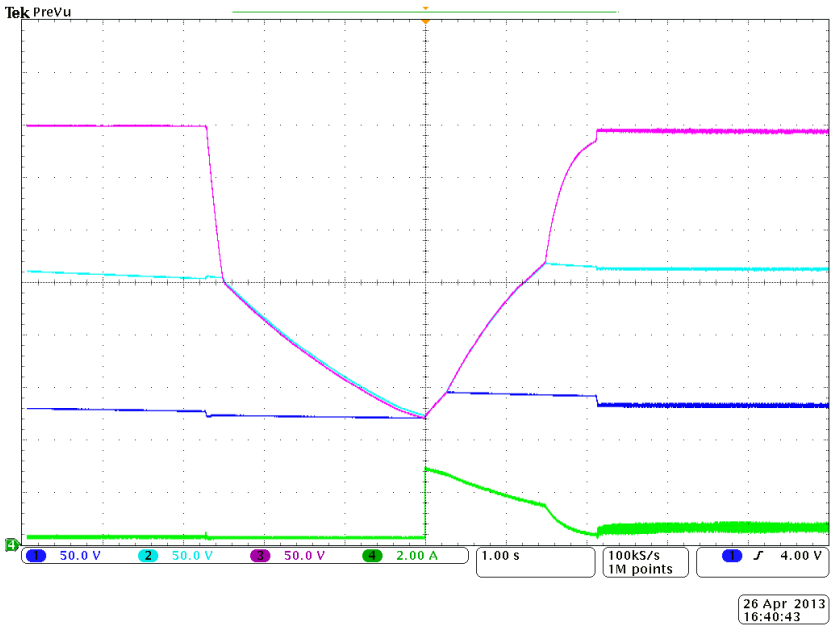
celá startovací sekvence měniče. V tomto případě je vybíjecí sekvence automaticky vynechána, protože v okamžiku startu jsou kondenzátory vybité. Ostatní kroky startovací frekvence jsou rovněž dobře patrné. Na obrázku Obr. 6 je zachycen restart měniče, který může nastat ve chvíli chybového stavu na měniči (např. nadproud, atd.). Jak je z obrázku patrné, nejprve dojde k vybití všech kondenzátorů na hodnotu napětí *1/3*U_d, pak následuje nabíjení na dané napěťové úrovně tj. *2/3*U_d a U_d.



Obr. 4: Simulace přednabíjecí sekvence; CH1[blue]:napětí kondenzátoru U_{ci2} [50V/dílek], CH2[red]:napětí kondenzátoru U_{ci1} [50V/dílek], CH3[green]: napětí kondenzátoru U_d[50V/dílek]



Obr. 5: Průběh přednabíjecí sekvence během startu 4L-FLC měniče; CH1: napětí na plovoucím kondenzátoru C_{i2}[50V/dílek], CH2: napětí na plovoucím kondenzátoru C_{i1}[50V/dílek], CH3:napětí v ss meziobvodu U_d[50V/dílek], CH4:ss proud meziobvodem I_d[2A/dílek]



Obr. 6: Průběh přednabíjecí sekvence během restartu 4L-FLC měniče; CH1: napětí na plovoucím kondenzátoru C_{i2}[50V/dílek], CH2: napětí na plovoucím kondenzátoru C_{i1}[50V/dílek], CH3:napětí v ss meziobvodu U_d[50V/dílek], CH4:ss proud meziobvodem I_d[2A/dílek]

7 Závěr

Vybraná přednabíjecí metoda (varianty 1) baly otestována v součinnosti s vyvinutým prototypem čtyř-hladinového měniče 4L-FLC. Byly potvrzeny předpoklady získané simulací této metody. Vybraná varianta je plně funkční a bude požita jako součást startovací procedury pro přednabijení kondenzátorů jak usměrňovače, tak i střídače prototypu čtyř-hladinového měniče 4L-FLC.

Literatura

[1] Janík D., Kamenický P., Košan T.: **Studie metod přednabíjení plovoucích kondenzátorů FLC měničů**. Výzkumná zpráva č. 22190 - 002 - 2013, RICE, 2013

[2] Sepahvand, H.; Khazraei, M.; Corzine, K.; Ferdowsi, M.: **Start-up Procedure and Switching Losses Reduction for a Single-Phase Flying Capacitor Active Rectifier**, Industrial Electronics, IEEE Transactions on , vol.PP, no.99, pp.1.

Seznam obrázků

Obr. 1: Schéma trojfázového čtyř-úrovňového měniče 4L-FLC s plovoucími kondenzátory 5

Obr. 2: Schéma jedné fáze (pro variantu 1) 6

Obr. 3: Vývojový diagram stavového automatu řídícího předbabíjecí sekvenci 8

Tab. 1: Spínací kombinace měniče 9

Obr. 4: Simulace přednabíjecí sekvence; CH1[blue]:napětí kondenzátoru U_{ci2} [50V/dílek], CH2[red]:napětí kondenzátoru U_{ci1} [50V/dílek], CH3[green]: napětí kondenzátoru U_d[50V/dílek] 10

Obr. 5: Průběh přednabíjecí sekvence během startu 4L-FLC měniče; CH1: napětí na plovoucím kondenzátoru C_{i2}[50V/dílek], CH2: napětí na plovoucím kondenzátoru C_{i1}[50V/dílek], CH3:napětí v ss meziobvodu U_d[50V/dílek], CH4:ss proud meziobvodem I_d[2A/dílek] 11

Obr. 6: Průběh přednabíjecí sekvence během restartu 4L-FLC měniče; CH1: napětí na plovoucím kondenzátoru C_{i2}[50V/dílek], CH2: napětí na plovoucím kondenzátoru C_{i1}[50V/dílek], CH3:napětí v ss meziobvodu U_d[50V/dílek], CH4:ss proud meziobvodem I_d[2A/dílek] 11

Historie revizí

Rev.	Kapitola	Popis změny	Datum Jméno / Odd.
1	Všechny	Publikování dokumentu	28.5.2013 Janík / KEV