



**FAKULTA
ELEKTROTECHNICKÁ
ZÁPADOČESKÉ
UNIVERZITY
V PLZNI**

2013

Pracoviště Regionální inovační centrum elektrotechniky

Výzkumná zpráva č.: 22190-071-2013

Sériové řazení IGBT - vliv zpoždění řídících signálů

Druh úkolu: Vědecko-výzkumný
Řešitelé: Ing. Luboš Streit, Ing. Dušan Janík
Vedoucí úkolu: prof. Ing. Zdeněk PEROUTKA, Ph.D.
Počet stran: 21
Datum vydání: listopad 2013
Revize: 1

Tento projekt byl realizován za finanční podpory z prostředků
státního rozpočtu prostřednictvím Technologické agentury České
Republiky (TA ČR - Program ALFA) TA01010863.

Anotace

Tato výzkumná zpráva se zabývá sledováním vlivu zpoždění řídicích signálů na rozdělení napětí na dvou sériově spojených tranzistorech. Zpráva porovnává průběhy napětí při různých časech zpoždění.

Seznam symbolů a zkratek

IGBT	Insulated Gate Bipolar Transistor
U_{CE}	Napětí na tranzistoru C-E
U_{GE}	Řídicí napětí na tranzistoru G-E
t_D	Zpoždění

Obsah

1	ÚVOD.....	4
2	REALIZACE GENERÁTORU ŘÍDICÍCH SIGNÁLŮ V FPGA	5
2.1	Struktura entity MLC_Controller	5
2.1.1	Entita bus_read_write.....	5
2.1.2	Entita pwm_interface	6
2.1.3	Zbylé entity a jejich funkce	6
2.2	Struktura entity Switching Block	7
2.2.1	Entity en_reg a pwm_10k	8
2.2.2	Entita delay_block.....	9
2.2.3	Entita signals	10
3	EXPERIMENTÁLNÍ MĚŘENÍ	10
3.1	Parametry měření.....	10
3.1.1	Testované tranzistory	11
3.1.2	Budiče.....	12
3.2	Rozdělení napětí U_{CE-A}/U_{CE-B} při zapínání	13
3.3	Rozdělení napětí U_{CE-A}/U_{CE-B} při vypínání	15
3.4	Rozdělení napětí U_{CE-A}/U_{CE-B} při statických stavech	17
3.4.1	S vyvažovacími rezistory	17
3.4.2	Bez vyvažovacích rezistorů.....	19
4	ZÁVĚR.....	19

1 Úvod

Sériové řazení IGBT umožňuje zvýšit výkon měniče pomocí zvýšení spínaného napětí. Při zapínání, vypínání, ale i v ustálených stavech je nutné udržet napětí na jednotlivých prvcích na bezpečné úrovni, tedy nižší než je U_{CE-MAX} . Správné rozdělení napětí je nutné dodržovat hlavně z toho důvodu, že velikost spínaného napětí bývá větší než maximální dovolené napětí jednoho prvku. Protože tranzistory nemají naprosto shodné vlastnosti, je rozvážení napětí téměř samozřejmé. Jedna z vlastností, která má velký vliv na rozložení napětí v dynamických stavech je rozdílné zpoždění jednotlivých tranzistorů. V tomto případě bude jeden z nich zapínat později nebo vypínat dříve. Pokud druhý tranzistor sepne dříve, objeví se na zmiňovaném tranzistoru téměř plné napětí zdroje, což způsobí jeho destrukci. Stejně tak je tomu při opožděném vypnutí. Jedním z možných způsobů, jak rozvážení napětí zamezit, je kompenzace rozdílných zpoždění [1]. Tato zpráva si klade za cíl ověřit vliv zpoždění na rozložení napětí.

2 Realizace generátoru řídicích signálů v FPGA

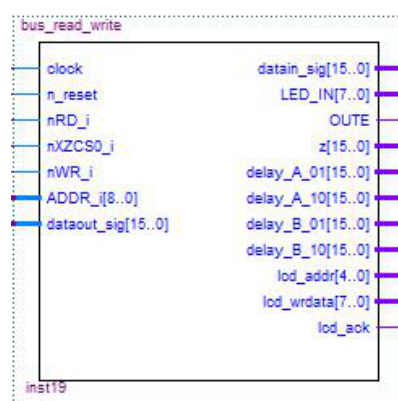
Pro možnosti ověření vlivu zpoždění řídicích signálů byl vyvinut generátor umožňující nastavení zpoždění náběžné i sestupné hrany řídicího signálu. Zpoždění je možné nastavit nezávisle pro oba sériově řazené tranzistory a to v rozmezí 0-200 ns. Pro realizaci byl využit eZDSP kit s procesorem TMS320F28335 a MLC (Multi Level Converter) interface obsahující FPGA. Procesor zajišťuje pouze komunikaci mezi nadřazenou jednotkou a FPGA. Hodnoty jednotlivých zpoždění a poměrného sepnutí jsou prostřednictvím sběrnice posílány do FPGA, ve kterém je implementován vlastní algoritmus řízení zpoždění. FPGA bylo zvoleno z důvodu nutnosti dosažení velmi krátkého kroku v nastavení zpoždění signálu. FPGA umožnilo dosažení kroku 5 ns. Měření prokázalo, že tento krok je pro ovlivnění rozložení napětí na sériových tranzistorech dostatečný (pro daný typ tranzistorů). Následující podkapitoly se věnují výhradně popisu implementace řízení do FPGA.

2.1 Struktura entity MLC_Controller

2.1.1 Entita bus_read_write

Vstupní a výstupní signály entity *bus_read_write* jsou přiblíženy na následujícím obrázku Obr.

1. Entita *bus_read_write* využívá služeb dalších tří entit, tyto entity jsou *iobuffer*, *data_bus_interface* a *enable_outputs*.



Obr. 1 Entita bus_read_write

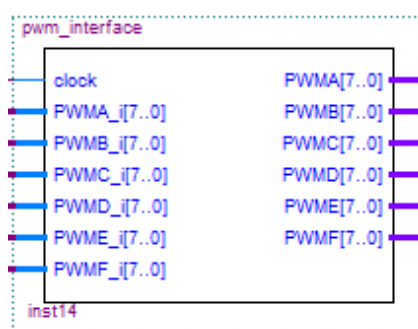
Entita *iobuffer* řídí funkce vstupně-výstupního bufferu, entita *data_bus_interface* navzorkuje řídicí signály pro sběrnici od procesoru DSP a nastaví příslušné vnitřní signály, entita *enable_outputs* určuje platnost výstupních dat. Entita *bus_read_write* přijme a zpracuje data vystavená procesorem DSP na společnou sběrnici. Jednotlivé hodnoty proměnných mají

definovanou vzájemně jednoznačnou adresu v adresovém prostoru sběrnice. Poměrně sepnutí *z* má přidělenou adresu 31_{HEX}, proměnná určující zpoždění náběžné hrany *pwm* signálu A (*delay_A_01*) má přidělenou adresu 32_{HEX}, proměnná určující zpoždění sestupné hrany *pwm* signálu A (*delay_A_10*) má přidělenou adresu 33_{HEX}, proměnná určující zpoždění náběžné hrany *pwm* signálu B (*delay_B_01*) má přidělenou adresu 34_{HEX}, proměnná určující zpoždění sestupné hrany *pwm* signálu B (*delay_B_10*) má přidělenou adresu 35_{HEX}. Přijaté hodnoty dat jsou následně přeposlány na příslušné výstupy entity *bus_read_write*. Tyto výstupy jsou zpracovány entitou *switching_block*.

Kromě výše uvedených dat zpracovává data určená pro blok LED diod a LCD panel, adresa dat pro LCD panel je 12_{HEX} a pro blok diod je 13_{HEX}. Data pro LCD panel jsou následně zpracovány hlavními entitami *display_driver* a *lcd_interface* (pomocná entita *gen_wrclock* generuje hodinový signál *wrclock* odvozený od řídicího signálu *nWR* pro entitu *display_driver*). Data pro blok diod jsou zpracovány entitami *LED_entity* a *user_interface*.

2.1.2 Entita *pwm_interface*

Vstupní a výstupní signály entity *pwm_interface* jsou přiblíženy na následujícím obrázku Obr. 2. Entita *pwm_interface* přijme šest skupin po osmi PWM signálů předá na příslušné výstupy s náběžnou hranou hodinového signálu.



Obr. 2 Entita *pwm_interface*

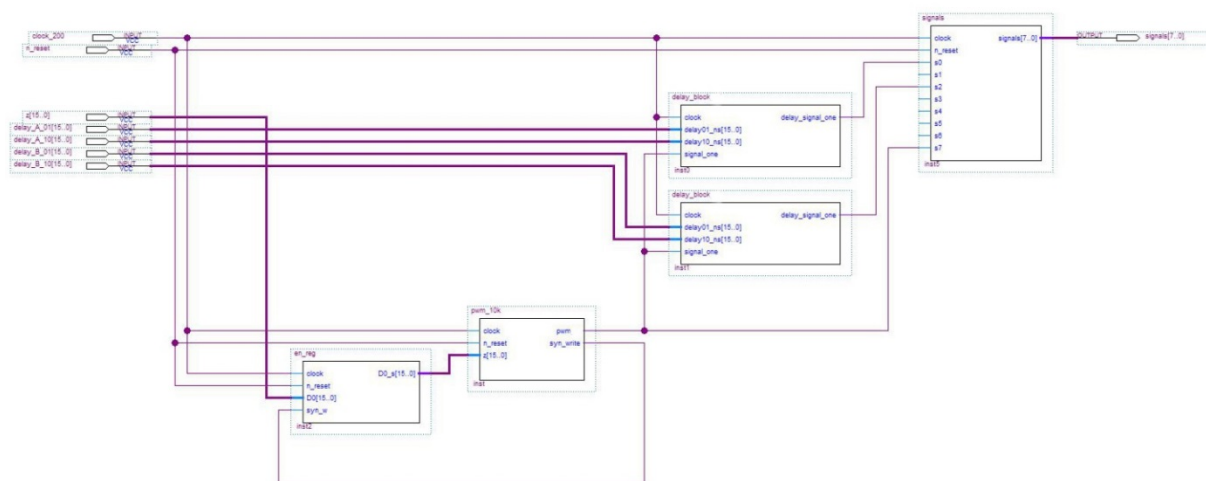
2.1.3 Zbylé entity a jejich funkce

Entita *clock_manager* generuje sadu hodinových signálů o frekvencích 100MHz, 50MHz, 200MHz 100kHz a 10kHz. Entita *ad_interface* řídí funkci HW AD převodníku. Entita

reset_block definuje stav řídicích signálů (*AD_SOCA*, *AD_SOCB*, *IRQ_FPGA1*, *IRQ_FPGA2* a *nHOLD*) po resetu. Entita *comparators_interface* přijímá signály od komparátorů. Entita *fault_interface* přijímá chybové signály. Entita *dsp_irq_interface* přijímá požadavky na přerušení od procesoru DSP. Entity *spi_interface* a *spi_driver_v2* zpracují data a odešlou je ve formátu spi do HW DA převodníků.

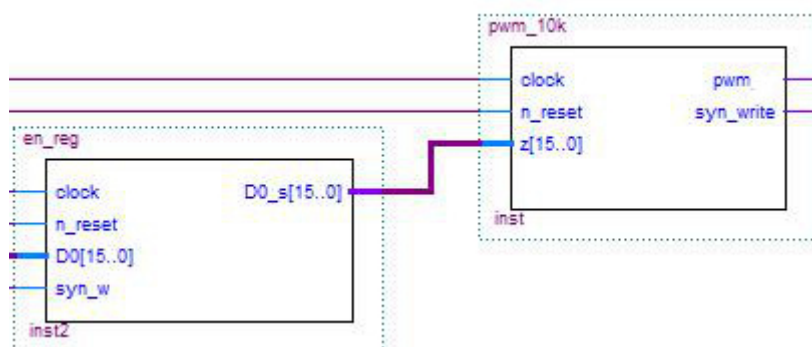
2.2 Struktura entity Switching Block

Kompletní struktura entity *switching_block* je tvořena spojením čtyř entit *en_reg*, *pwm_10k*, *delay_block* a *signals*. Struktura a celkové zapojení jednotlivých entit je přibližena na Obr. 3. Procesor DSP vystaví výstupní data sběrnici, kde si je vyčte entita *bus_read_write* z nadřazené struktury MLC driveru a předá je ke zpracování entitě *switching_block*. Dvojice entit *en_reg* a *pwm_10k* generuje *pwm* signál o frekvenci 10 kHz s poměrným sepnutím definovaným proměnnou *z*. Vygenerovaný *pwm* signál je následně zpracován dvěma entitami *delay_block*, které vytvoří výsledné *pwm* signály *A* a *B* s příslušnými zpožděními danými proměnnými *delay_A_01*, *delay_A_10* a *delay_B_01*, *delay_B_10*. Všechny výstupní signály včetně „suchého“ *pwm* signálu (tj. původní *pwm* nezpožděný signál generovaný pro potřeby kontroly) vstupují do poslední entity *signals*, která sjednotí jednotlivé signály v rámci jedné PWM brány A.



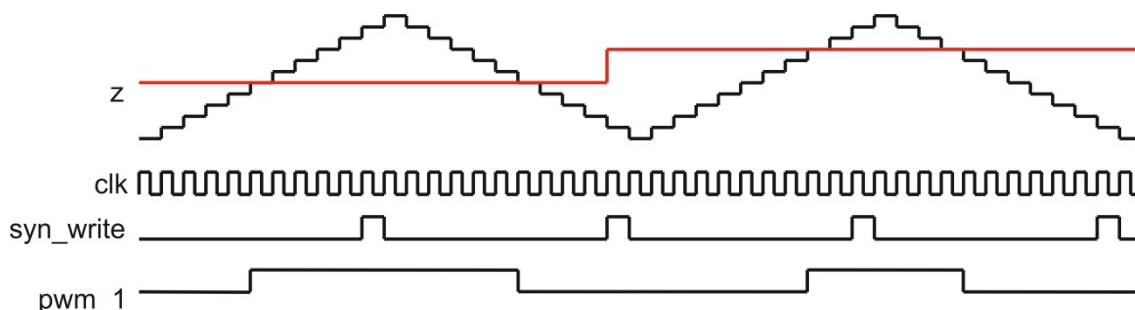
Obr. 3 Entita *switching_block*

2.2.1 Entity *en_reg* a *pwm_10k*



Obr. 4 Spojení entit *en_reg* a *pwm_10k*

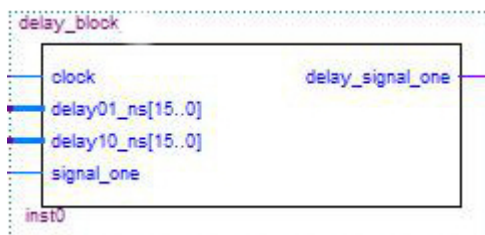
Entita *en_reg* pracuje jako registr, který se synchronizačním impulsem přesune 16bitové data představující poměrné sepnutí ze vstupu k dalšímu zpracování entitou *pwm_10k*. Entita *pwm_10k* plní funkci generátoru *pwm* signálu. Obsahuje generátor pilového signálu, jehož rozsah pokrývá celý rozsah proměnné definující poměrné sepnutí. Kromě těchto signálů generuje také synchronizační puls pro entitu *en_reg*. Obr. 5. zachycuje funkci entity *pwm_10k*.



Obr. 5 Funkce entity *pwm_10k*

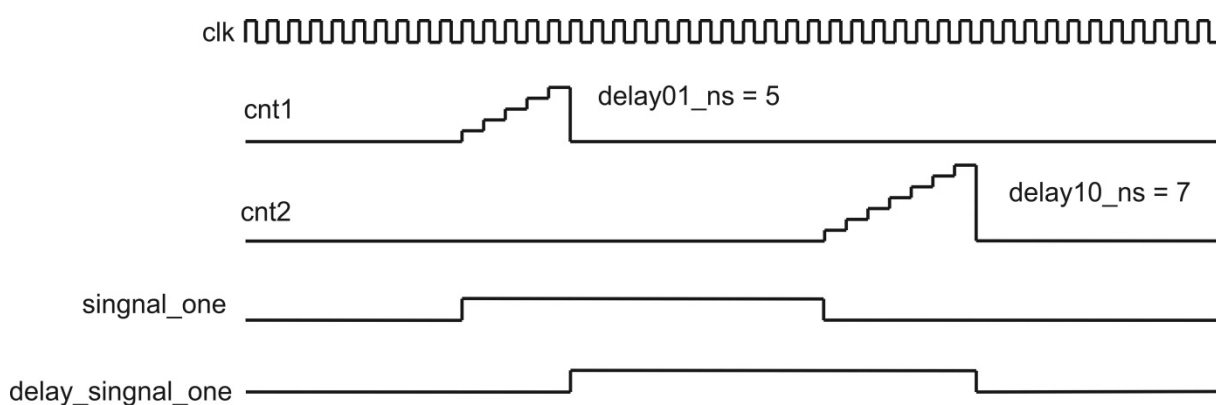
Jak je z výše uvedeného obrázku patrné synchronizační pulsy *syn_write* pro entitu *en_reg* jsou generovány jak v maximu-1, tak v minimu+1 nosného pilového signálu.

2.2.2 Entita *delay_block*



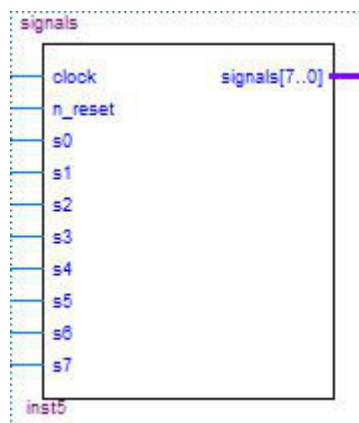
Obr. 6 Entita *delay_block*

Entita *delay_block* vzorkuje vstupní *pwm* signál *signal_one*. Je-li detekována náběžná hrana (tj. změna logické úrovně z hodnoty 0 na hodnotu 1) vstupního *pwm* signálu spustí se čítač *cnt1*. Jakmile tento čítač dosáhne hodnoty uložené v proměnné *delay01_ns* je vygenerována změna logické úrovně z hodnoty 0 na hodnotu 1 na výstupním *pwm* signálu *delay_signal_one*, čítání je zastaveno a čítač *cnt1* je vynulován. Je-li detekována sestupná hrana (tj. změna logické úrovně z hodnoty 1 na hodnotu 0) vstupního *pwm* signálu spustí se čítač *cnt2*. Jakmile tento čítač dosáhne hodnoty uložené v proměnné *delay10_ns* je vygenerována změna logické úrovně z hodnoty 1 na hodnotu 0 na výstupním *pwm* signálu *delay_signal_one*, čítání je zastaveno a čítač *cnt2* je vynulován. Průběh jedné sekvence je přiblížen na Obr. 7.



Obr. 7 Průběh jedné sekvence entity *delay_block*

2.2.3 Entita *signals*



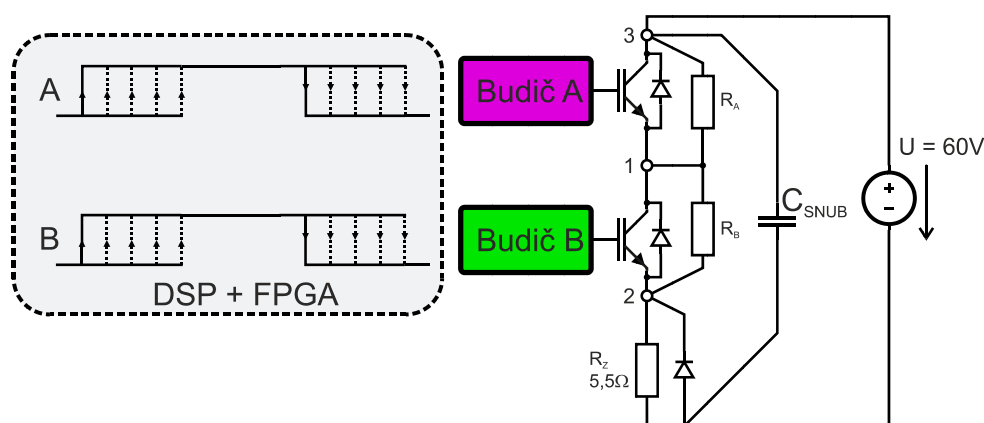
Obr. 8 Entita *signals*

Entita *signals* sloučí osm vstupních signálů $s_0 - s_7$ do jednoho osmibitového svazku.

3 Experimentální měření

3.1 Parametry měření

Jako testovací obvod byl zvolen snižovací pulzní měnič. Zapojení testovacího obvodu je zobrazeno na Obr. 9. Měnič byl napájen napětím 60 V. Zátěž byla tvořena vinutým rezistorem ($5,5 \Omega$) s parazitní indukčností. Zpětná dioda byla typu C65-004. Pro kompenzaci parazitních indukčností v obvodu byl zapojen snubberový kondenzátor C_{SNUB} o hodnotě 680 nF. Pro správné rozdělení napětí na tranzistorech ve statických stavech byly použity rezistory R_A a R_B o hodnotě 10 k Ω .



Obr. 9 Testovací obvod sériového řazení tranzistorů

Pro vlastní měření byl použit osciloskop DPO 4030B TEKTRONIX. Protože tranzistory nemají emitor na stejném potenciálu, musely být použity kromě standartních napěťových sond TPP0500 i diferenciální napěťové sondy P5205. Napětí horního tranzistoru U_{GE-A} a U_{CE-A} byla měřena diferenciálními sondami a napětí spodního tranzistoru U_{GE-B} a U_{CE-B} byla měřena standartními sondami. Protože se jedná o měření ve velmi krátké časové oblasti (jednotky ns) je zapotřebí brát v úvahu i rozdílné zpoždění jednotlivých sond. V následující tabulce Tab. 1 jsou uvedeny nominální zpoždění použitých typů. Před měřením byla zpoždění sond kompenzována tak, aby jejich vzájemný časový posuv byl co nejmenší.

Tab. 1 Nominální dopravní zpoždění napěťových sond

Standartní napěťová sonda	TPP0500	5,4	ns	kanál 2, 4
Diferenciální napěťová sonda	P5205	11,7	ns	kanál 1, 3

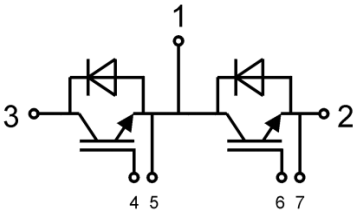
Výsledky experimentů jsou zobrazeny pomocí oscilogramů, jejichž popis je platný pro všechny následující kapitoly. Oscilogramy ukazují průběhy jak řídicích napětí U_{GE} , tak napětí na výkonových svorkách tranzistorů U_{CE} . Kanál 1 je U_{GE-A} , kanál 2 je U_{GE-B} , kanál 3 je U_{CE-A} a kanál 4 je U_{CE-B} . Udávané zpoždění t_D je vypočteno jako zpoždění tranzistoru B za tranzistorem A. Tedy $t_D = t_{DB} - t_{DA}$. Například zpoždění $t_D = 10$ ns znamená, že je tranzistor B sepnut/vypnut o 10 ns později než tranzistor A.

3.1.1 Testované tranzistory

Pro měření byl vybrán výkonový modul SKM75GB12V od firmy SEMIKRON. Tento modul obsahuje dva sériově zapojené tranzistory, u kterých lze očekávat jejich velmi podobné

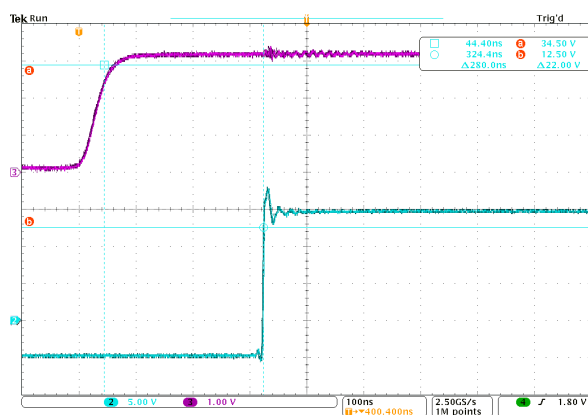
vlastnosti. Základní parametry modulu jsou uvedeny v následující tabulce Tab. 2. Parametry a obrázky vycházejí z katalogového listu tranzistoru [2].

Tab. 2 Parametry modulu SKM75GB12V

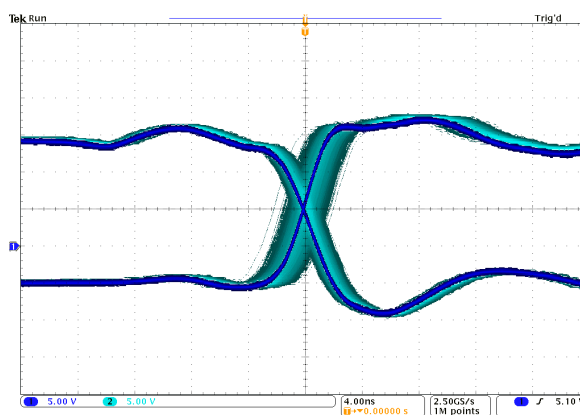
		V_{CES}	1200	V
		I_C	87	A
		$t_{d(on)}$	258	ns
		t_r	32	ns
		$t_{d(off)}$	388	ns
		t_f	62	ns

3.1.2 Budiče

Pro generování řídicích pulzů byly použity vyvinuté modulární budiče, které se skládají z optického oddělení pomocí HCPL-316 a výstupního posilovače IXDN614YI. Na následujícím oscilogramu na Obr. 10 je patrné dopravní zpoždění budiče. Kanál 3 je vstupní signál a kanál 2 je signál výstupní. Obr. 11 pak ukazuje kompenzované zpoždění obou budičů. V oscilogramu může být zachycena jak náběžná tak sestupná hrana za pomoci funkce osciloskopu *Persist*. Je tak možné dlouhodobě sledovat nestálou dobu zpoždění, každé měření je zapamatováno. Z oscilogramu lze sledovat, že zpoždění se pohybuje o ± 2 ns.



Obr. 10 Dopravní zpoždění budiče



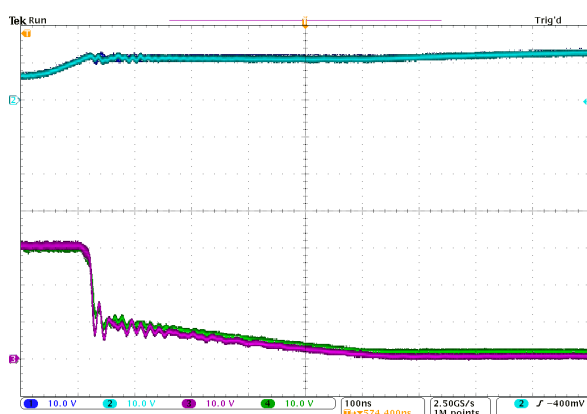
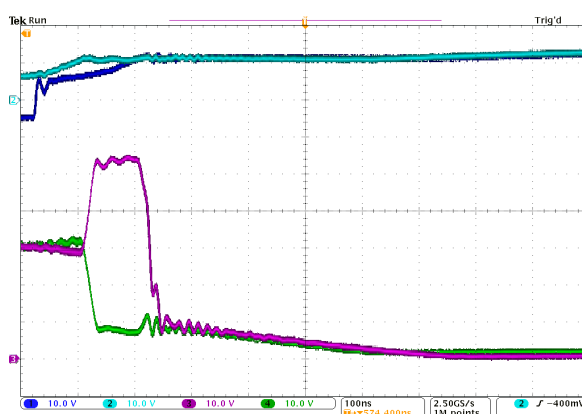
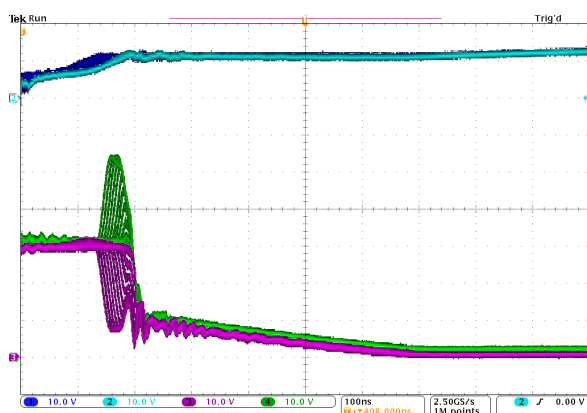
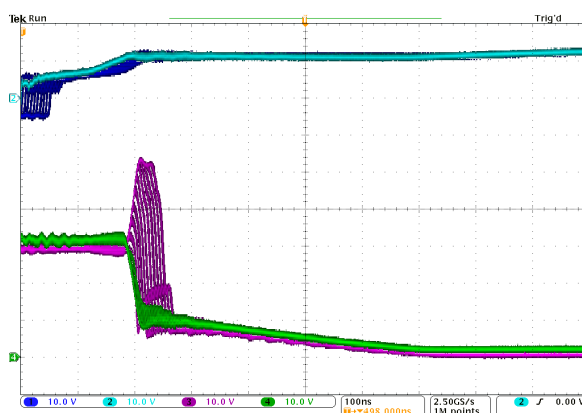
Obr. 11 Kompenzace rozdílných zpoždění driverů

Měřením bylo zjištěno dopravní zpoždění budiče cca 280 ns pro zapínání. Měření bylo provedeno bez zatížení budiče, celkový čas zpoždění proto bude prodloužen úměrně velikosti připojené kapacity hradla.

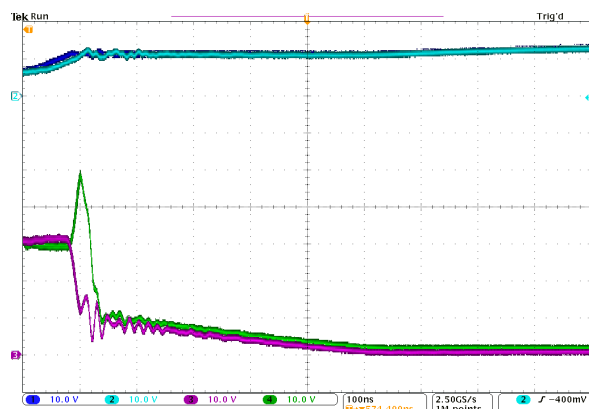
3.2 Rozdělení napětí U_{CE-A}/U_{CE-B} při zapínání

Tato kapitola ukazuje průběhy rozdělení napětí při zapínání tranzistorů. Obr. 12 ukazuje rovnoměrné rozložení napětí při kompenzaci rozdílných zpoždění budičů A, B a tranzistorů A, B. Tranzistory tak zapínají současně a celkové zapínané napětí se na nich rozloží rovnoměrně. Oproti tomu ukazuje Obr. 13 úmyslné rozvážení vlivem zpoždění o -100 ns. Z průběhů je patrné, že na tranzistoru, který je zapnut později, se krátkodobě může objevit plné zapínané napětí. Doba trvání je úměrná zpoždění zapnutí. V případě použití pro spínání vyššího napětí než je maximální napětí U_{CE} , může dojít k destrukci pomalejšího tranzistoru.

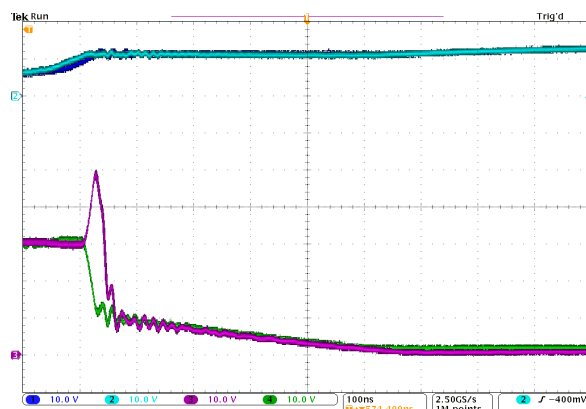
Následující oscilogramy na Obr. 14 a Obr. 15 ukazují změnu zpoždění z 0 až do 50 ns s krokem 5 ns. Tvar průběhů se liší, protože pro oba případy byla nastavena synchronizace dle řídicího napětí pro tranzistor B U_{GE-B} . Z průběhu je patrné, že k plnému rozvážení napětí dojde při zpoždění cca 30 ns.

Obr. 12 Zapnutí $t_D = 0$ nsObr. 13 Zapnutí $t_D = -100$ nsObr. 14 Zapnutí $t_D = 0 \rightarrow 50$ ns krokem 5 nsObr. 15 Zapnutí $t_D = 0 \rightarrow -50$ ns krokem 5 ns

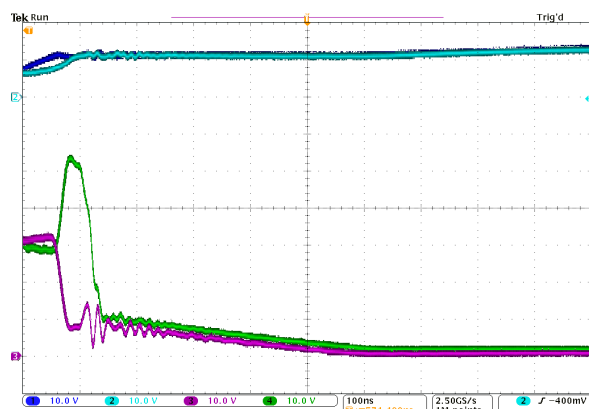
Následující oscilogramy na Obr. 16 až Obr. 21 ukazují průběhy napětí při zapnutí pro různá zpoždění.



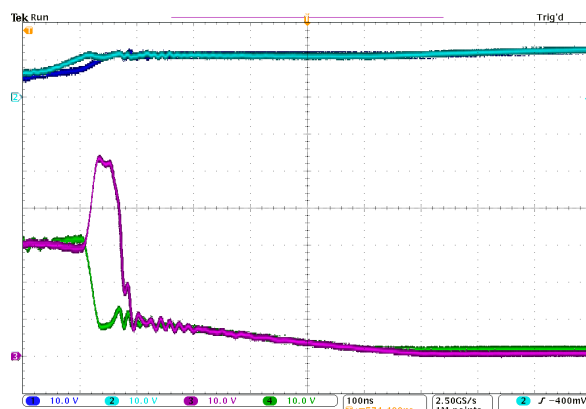
Obr. 16 Zapnutí $t_D = 25$ ns



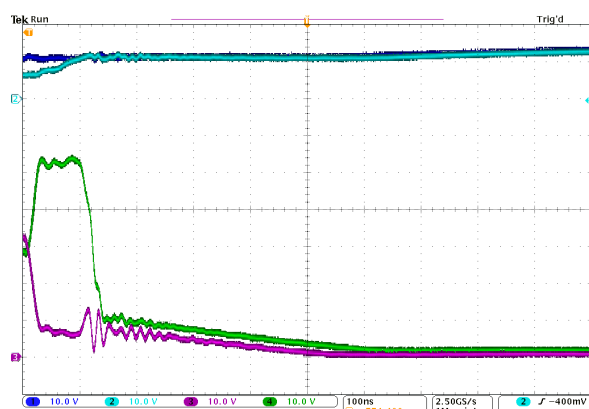
Obr. 17 Zapnutí $t_D = -25$ ns



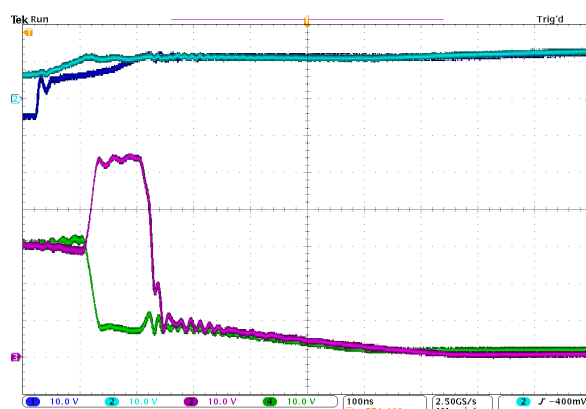
Obr. 18 Zapnutí $t_D = 50$ ns



Obr. 19 Zapnutí $t_D = -50$ ns



Obr. 20 Zapnutí $t_D = 100$ ns

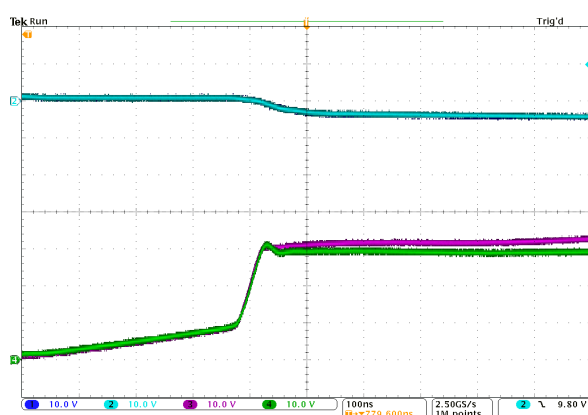


Obr. 21 Zapnutí $t_D = -100$ ns

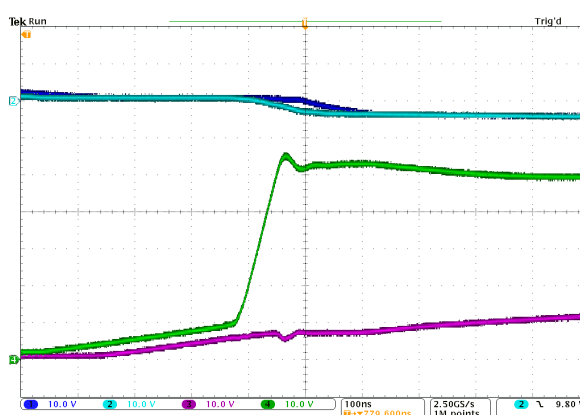
3.3 Rozdělení napětí U_{CE-A}/U_{CE-B} při vypínání

Tato kapitola ukazuje průběhy rozdělení napětí při vypínání tranzistorů. Obr. 22Obr. 12 ukazuje rovnoměrné rozložení napětí při kompenzaci rozdílných zpoždění budičů A, B a tranzistorů A, B. Tranzistory tak vypínají současně a celkové napětí se na nich během vypínání rozloží rovnoměrně. Oproti tomu ukazuje Obr. 23 úmyslné rozvážení vlivem zpoždění o -100 ns. Z průběhů je patrné, že na tranzistoru, který je vypnut dříve, se krátkodobě může objevit téměř plné napětí. Doba trvání je úměrná zpoždění vypnutí. V případě vypínání při vyšším napájecím napětí než je maximální napětí U_{CE} , může dojít k destrukci tentokrát rychlejšího tranzistoru.

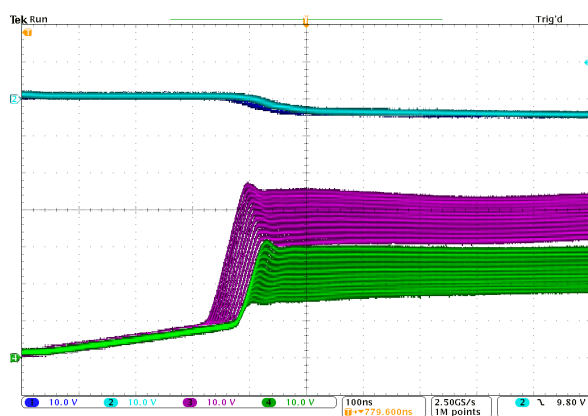
Následující oscilogramy na Obr. 24 a Obr. 25 ukazují změnu zpoždění z 0 až do 50 ns s krokem 5 ns. Tvar průběhů se liší, protože pro oba případy byla nastavena synchronizace dle řídicího napětí pro tranzistor B U_{GE-B} . Z průběhu lze pozorovat, že k plnému rozvážení napětí by došlo při zpoždění cca 70 ns.



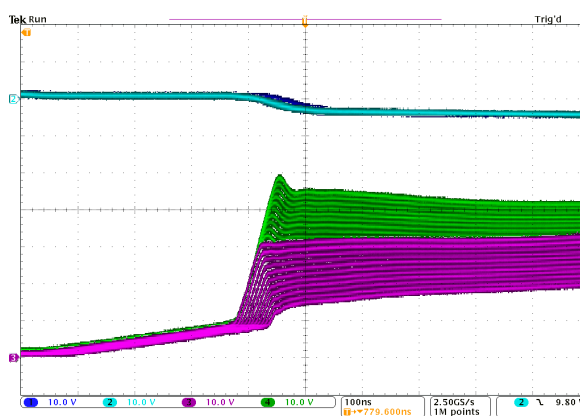
Obr. 22 Vypnutí $t_D = 0$ ns



Obr. 23 Vypnutí $t_D = -100$ ns

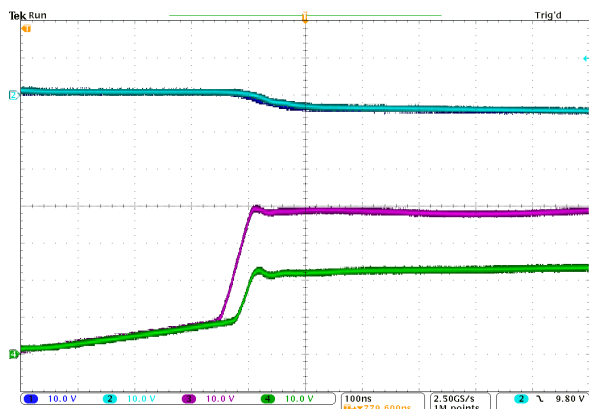


Obr. 24 Vypnutí $t_D = 0 \rightarrow 50$ ns krokem 5 ns

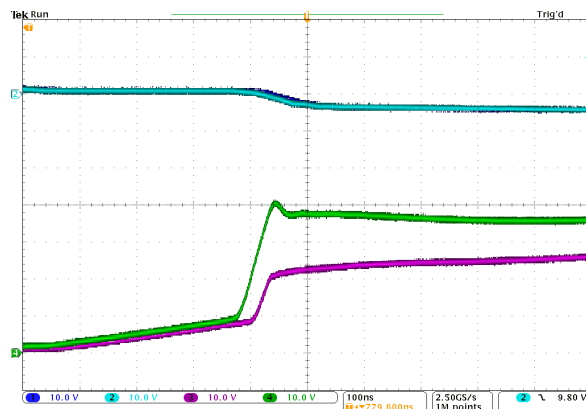


Obr. 25 Vypnutí $t_D = 0 \rightarrow -50$ ns krokem 5 ns

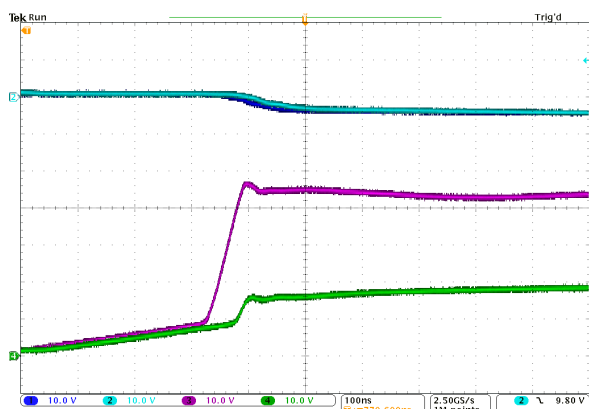
Následující oscilogramy na Obr. 26 až Obr. 31 ukazují průběhy napětí při vypnutí pro různá zpoždění.



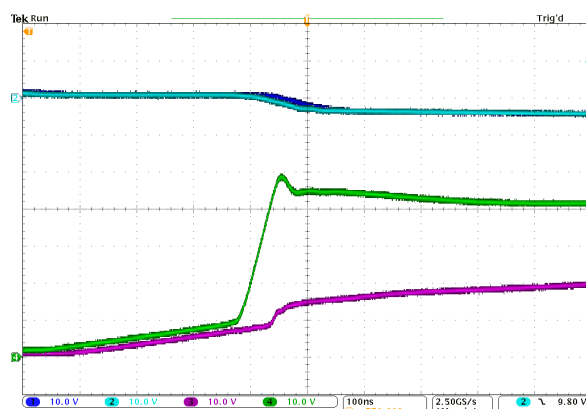
Obr. 26 Vypnutí $t_D = 25$ ns



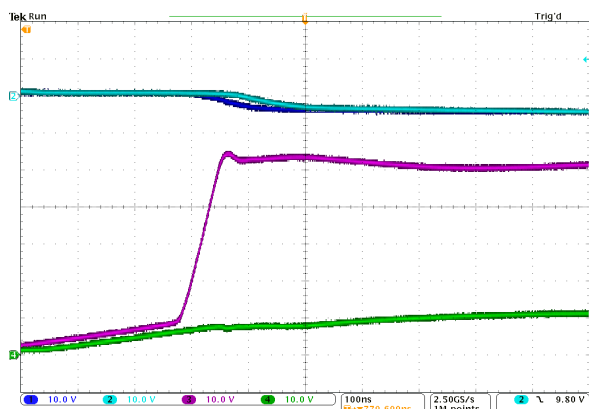
Obr. 27 Vypnutí $t_D = -25$ ns



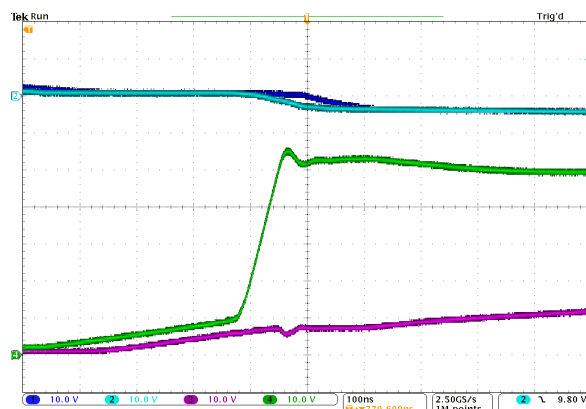
Obr. 28 Vypnutí $t_D = 50$ ns



Obr. 29 Vypnutí $t_D = -50$ ns



Obr. 30 Vypnutí $t_D = 100$ ns



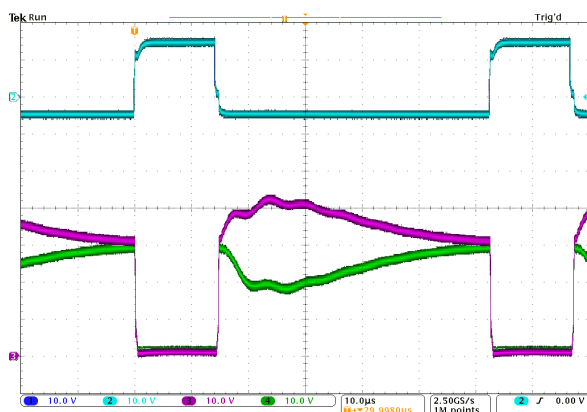
Obr. 31 Vypnutí $t_D = -100$ ns

3.4 Rozdělení napětí U_{CE-A}/U_{CE-B} při statických stavech

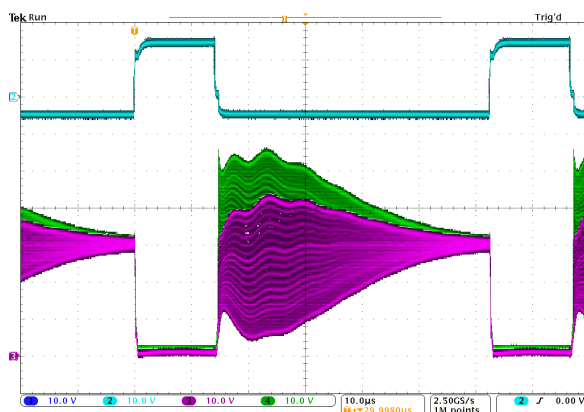
Statickým stavem se rozumí ustálený stav po vypnutí tranzistorů, při kterém se napětí na tranzistorech rozdělí dle jejich statických charakteristik. Rovnoměrné rozložení napětí mezi tranzistory je i v tomto případě podmínkou pro správnou funkci celého měniče. V následujících oscilogramech lze tentokrát pozorovat pomalejší přechodový děj, který nastává po odeznění rychlejšího dynamického děje při vypnutí.

3.4.1 S vyvažovacími rezistory

Z tohoto měření je patrný význam vyvažovacích rezistorů, které mají za úkol správně rozdělit napětí v ustálených stavech při vypnutých tranzistorech. Na Obr. 32 je zobrazen průběh napětí při současném vypnutí obou tranzistorů bez zpoždění. Krátký dynamický děj vypínání tedy splňuje požadavky na správné rozložení napětí. Bohužel delší přechodový děj po vypnutí tranzistorů napětí následně rozváží. Řešením by mohl být optimální návrh parametrů pasivních vyvažovacích prvků, což nebylo tématem této zprávy. Aktivní vyvažování (např. pomocí popisované kompenzace zpoždění) je často použito v součinnosti s pasivními prvky. Na Obr. 35 je zobrazen průběh, při kterém zpoždění $t_D = -25$ ns příznivě ovlivní pomalejší děj po vypnutí, avšak na úkor zhoršení vyvážení při rychlejším dynamickém ději při vypínání.

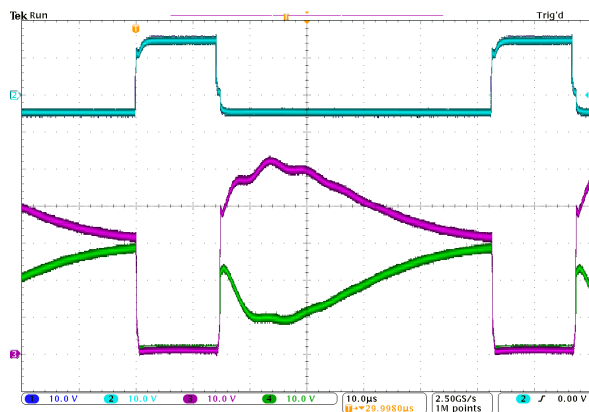


Obr. 32 Ustálení po vypnutí s vyvažovacími rezistory
 $t_D = 0$ ns

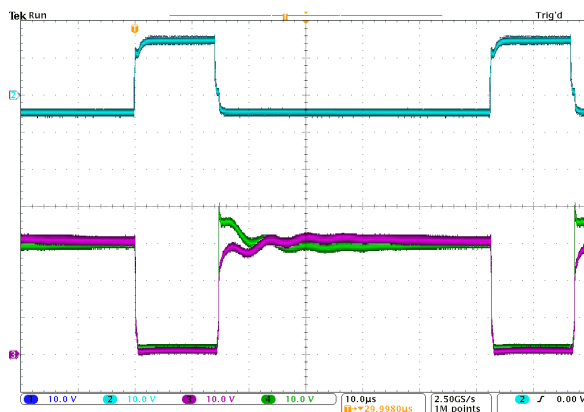


Obr. 33 Ustálení po vypnutí s vyvažovacími rezistory
 $t_D = -100 \rightarrow 100$ ns krokem 5 ns

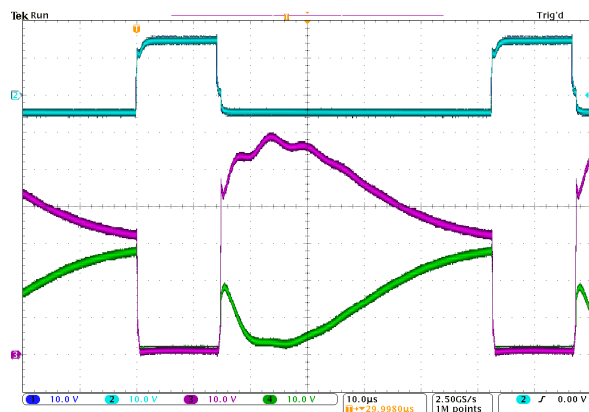
Následující oscilogramy na Obr. 34 až Obr. 39 ukazují průběhy napětí po vypnutí opět pro různá zpoždění.



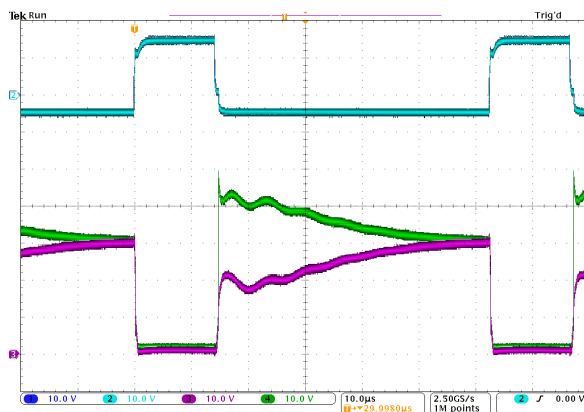
Obr. 34 Ustálení po vypnutí $t_D = 25$ ns



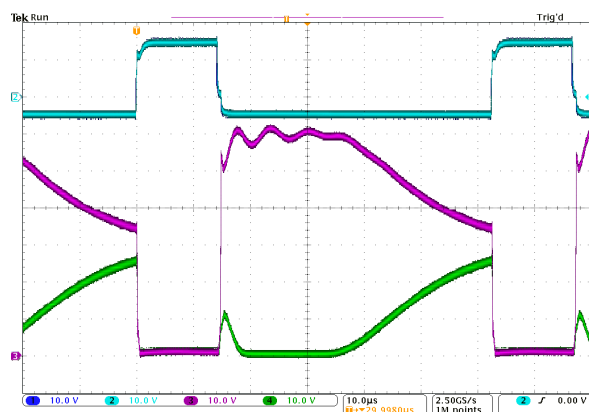
Obr. 35 Ustálení po vypnutí $t_D = -25$ ns



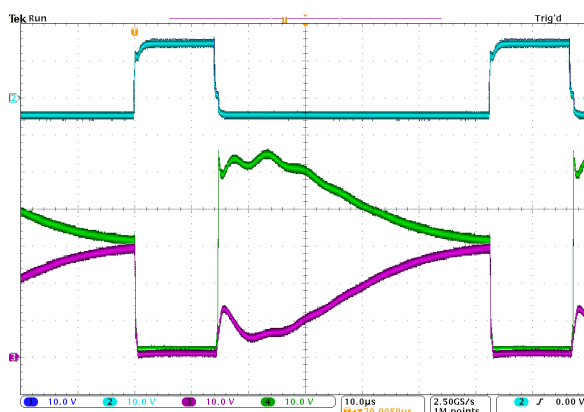
Obr. 36 Ustálení po vypnutí $t_D = 50$ ns



Obr. 37 Ustálení po vypnutí $t_D = -50$ ns



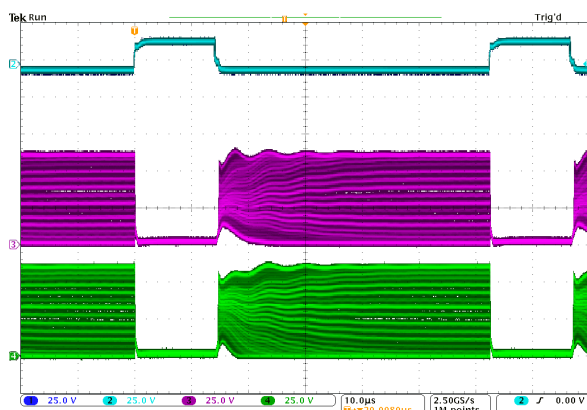
Obr. 38 Ustálení po vypnutí $t_D = 100$ ns



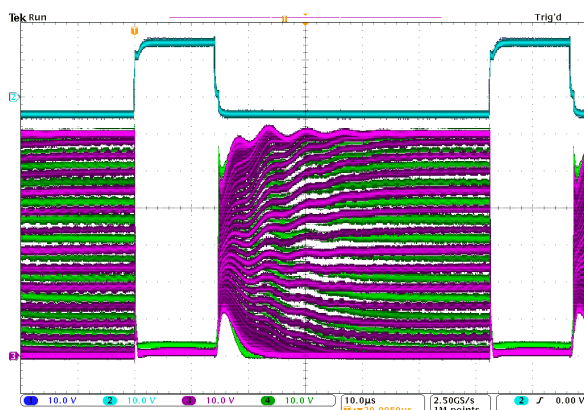
Obr. 39 Ustálení po vypnutí $t_D = -100$ ns

3.4.2 Bez vyvažovacích rezistorů

V této podkapitole je pro úplnost uvedeno měření bez vyvažovacích rezistorů. Z oscilogramů je patrné, že napětí na tranzistorech po vypnutí nemá samovolně snahu se rovnoměrně rozdělit. Vyplývá z toho důležitost použití vyvažovacích rezistorů. Lze pozorovat i možnost ovlivnění změnou zpoždění. Bohužel zpoždění $t_D = 0\text{ ns}$ je optimální pouze pro vyvážení při samotném vypínacím přechodovém ději a jiné zpoždění je vhodné pro rozvážení po vypínacím přechodovém ději. Nelze proto předpokládat využití proměnného zpoždění pro dosažení vhodného rozdělení napětí po vypínacím přechodovém ději.



Obr. 40 Ustálení po vypnutí bez vyvažovacích rezistorů
 $t_D = -100 \rightarrow 100\text{ ns}$ krokem 5 ns
 (průběhy odděleně)



Obr. 41 Ustálení po vypnutí bez vyvažovacích rezistorů
 $t_D = -100 \rightarrow 100\text{ ns}$ krokem 5 ns

4 Závěr

Měření prokázalo, že změnou zpoždění řídicích signálů lze významně ovlivnit rozložení napětí při vypínání a zapínání dvou sériově řazených tranzistorů. Bylo zjištěno, že velikost zpoždění pro správné rozvážení při zapínání musí být několikanásobně menší než 30 ns pro zapínání a 70 ns pro vypínání. Pro daný typ tranzistorů a parametry tohoto měření je vhodný krok kompenzace nejvýše 5 ns. Naopak výrazné zmenšování kroku již nenajde opodstatnění z důvodu proměnlivého zpoždění mezi měřenými budiči vlivem šumu. Toto časově proměnlivé zpoždění se pohybovalo kolem $\pm 2\text{ ns}$.

Literatura

- [1] Dongsheng Zhou; Braun, D.H.; , "A practical series connection technique for multiple IGBT devices ," *Power Electronics Specialists Conference, 2001. PESC. 2001 IEEE 32nd Annual* , vol.4, no., pp.2151-2155 vol. 4, 2001
- [2] SKM75GB12V datasheet. In: [online]. 2013 [cit. 2013-11-15]. Dostupné z: http://www.semikron.com/products/data/cur/assets/SKM75GB12V_22892013.pdf

Historie revizí

Rev.	Kapitola	Popis změny	Datum Jméno / Odd.
1	Všechny	Publikování dokumentu	18.11.2013 Streit / KEV