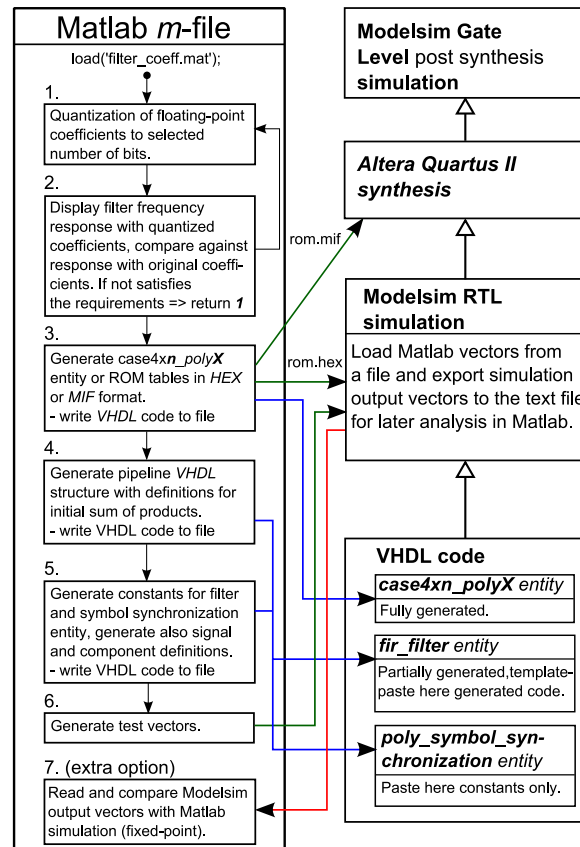


Software

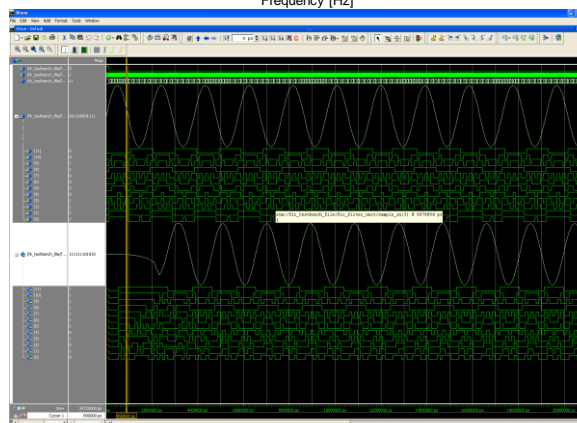
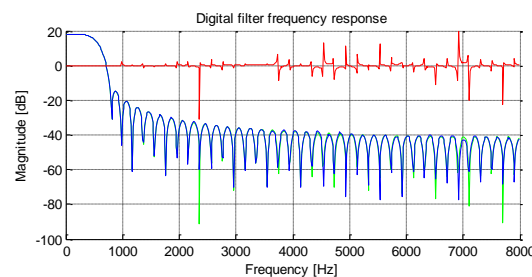
Generátor VHDL struktur FIR filtrů optimalizovaných pro syntézu na FPGA



▶ V souladu s definicí uvedenou v dokumentu Úřadu vlády ČR, č.j.: 1417/2013-RVV „Metodika hodnocení výsledků výzkumných organizací a hodnocení výsledků ukončených programů (platná pro léta 2013 až 2015 je uplatňován software „ Generátor VHDL struktur FIR filtrů optimalizovaných pro syntézu na FPGA“.

▶ Software vznikl v přímé souvislosti s řešením projektu SGS-2012-019 a v rámci specifického výzkumu.

▶ Program umožňuje generovat struktury FIR filtrů v jazyce VHDL, které jsou optimalizované pro syntézu na hradlovém poli FPGA a využívají metod distribuované aritmetiky (LUT tabulky / ROM). Program byl vytvořen v prostředí programu Matlab. K dispozici jsou plně paralelní, sério-paralelní a čistě sériové struktury. Dále je možné exportovat polyfázové struktury v podobě decimálních a interpolačních filtrů. Vstupem programu jsou koeficienty v plovoucí řádové čárce již navrženého libovolného FIR filtru. V průběhu návrhu je možné provést optimalizaci a porovnat frekvenční odezvu filtru s kvantovanými koeficienty vůči původní. K dispozici je také testovací rutina (testbench) pro ověření správné funkce při RTL simulaci, která načítá testovací vektory z textového souboru. Výstupní vektory z této simulace jsou opětovně zapsány do souboru pro následnou analýzu v prostředí Matlab. Hlavními přednostmi takto vytvořených VHDL struktur FIR filtrů jsou: snadná přenositelnost díky standardním HDL knihovnám, optimalizované využití logických prvků a výborná rychlost zpracování dat (závislé na dané architektuře).



EVIDENČNÍ ČÍSLO:

22110 – SW003 – 2014

KONTAKTNÍ OSOBA:

Ing. Pavel Fiala

tel.: 37763 4267

pavelf@kae.zcu.cz

ŘEŠITELSKÉ PRACOVNÍŠTĚ:

Západočeská univerzita v Plzni

Fakulta elektrotechnická

Katedra aplikované elektroniky a

telekomunikací