



**FAKULTA
ELEKTROTECHNICKÁ
ZÁPADOČESKÉ
UNIVERZITY
V PLZNI**

2015

Pracoviště: Regionální inovační centrum elektrotechniky

Výzkumná zpráva č.: 22190 - 018 - 2015

Implementace modulátoru s algoritmem SVPWM pro střídač 7L-FLC

Druh úkolu: Vědecko-výzkumný
Řešitelé: Ing. Dušan Janík
Vedoucí úkolu: Prof. Ing. Zdeněk Peroutka, Ph.D.
Počet stran: 19
Datum vydání: říjen 2015
Revize: 1

Práce vznikla s podporou projektů TAČR TE01020455 a
SGS-2015-038.

Anotace

Tato výzkumná zpráva se zabývá podrobným popisem implementace SVPWM modulátoru navrženého v obvodu FPGA pro úlohu řízení sedmiúrovňového střídače s plovoucími kondenzátory (FLC). Modulátor je tvořen algoritmem novelSVM, který byl publikován v práci [1]. Algoritmus identifikuje pozici požadovaného napětového vektoru v rámci trojúhelníkové sítě. Aby modulátor správně fungoval, je nutné přidat k algoritmu novelSVM další funkce. Mezi tyto funkce patří přemapování uzlů z trojúhelníkové sítě na reálné spínací kombinace střídače, logika zajišťující na základě měření aktivní balancování napětí na plovoucích kondenzátorech střídače, dodržení doby sepnutí v rámci spínací sekvence a zajištění vložení mrtvých časů v rámci přepínání komplementárních spínacích prvků měniče.

Seznam symbolů a zkratek

SVPWM	Space Vector Pulse Wide Modulation
FLC	Flying Capacitor
DSP	Digital Signal Processing
FPGA	Programovatelné logické pole
u_x, u_y	Složky požadovaného napětového vektoru
u_u, u_v, u_w	Složky požadovaného napětového vektoru v rámci souřadného systému UVW
floor	Funkce $\text{floor}(j)$ vrátí nejbližší menší celé číslo, než je reálné číslo j
ceil	Funkce $\text{ceil}(j)$ vrátí nejbližší vyšší celé číslo, než je reálné číslo j
f_u, f_v, f_w	Výsledek funkce floor pro složky napětového vektoru u_u, u_v, u_w
c_u, c_v, c_w	Výsledek funkce ceil pro složky napětového vektoru u_u, u_v, u_w
u_{fcf}, d_{fcf}	Vektor vymezující první vrchol trojúhelníkové oblasti a doba jeho sepnutí pro $f_u + f_v + f_w = -1$
u_{ffc}, d_{ffc}	Vektor vymezující druhý vrchol trojúhelníkové oblasti a doba jeho sepnutí pro $f_u + f_v + f_w = -1$
u_{cff}, d_{cff}	Vektor vymezující třetí vrchol trojúhelníkové oblasti a doba jeho sepnutí pro $f_u + f_v + f_w = -1$
u_{fcc}, d_{fcc}	Vektor vymezující první vrchol trojúhelníkové oblasti a doba jeho sepnutí pro $f_u + f_v + f_w \neq -1$
u_{ccf}, d_{ccf}	Vektor vymezující druhý vrchol trojúhelníkové oblasti a doba jeho sepnutí pro $f_u + f_v + f_w \neq -1$
u_{cfc}, d_{cfc}	Vektor vymezující třetí vrchol trojúhelníkové oblasti a doba jeho sepnutí pro $f_u + f_v + f_w \neq -1$
i_u, i_v, i_w	Fázové proudy střídače v rámci souřadného systému UVW

Obsah

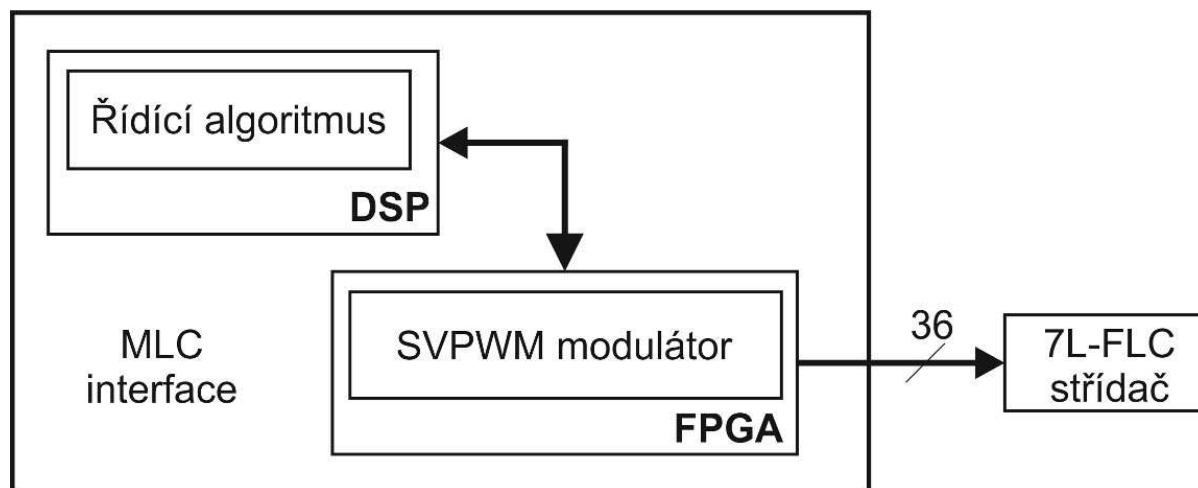
1	ÚVOD.....	4
2	ZÁKLADNÍ ZJEDNODUŠENÁ STRUKTURA MLC INTERFACE.....	5
3	STRUKTURA ENTITY MLC_CONTROLER_V2	5
3.1	Entita bus_read_write	7
3.2	Entita pwm_interface.....	8
3.3	Zbýlé entity a jejich funkce	8
4	STRUKTURA VEKTOROVÉHO MODULÁTORU.....	9
4.1	Entita <i>en_reg_2</i>	10
4.2	Entita <i>transform</i>	10
4.3	Entita <i>svm_alg_7LFLC</i>	11
4.4	Entita <i>svm_maping_7L_FLC</i>	13
4.5	Entita <i>timings_7L_FLC</i>	14
4.6	Entita <i>dead_time_block</i>	15
4.7	Entita <i>brana_PWM_7L_FLC_novelSVM</i>	16
5	ZÁVĚR.....	17
	LITERATURA.....	17

1 Úvod

Struktura SVPWM modulátoru je navržena s ohledem na specifické požadavky použitého hardware řídicí jednotky MLC verze 2. Samotný výpočet algoritmu řízení sedmiúrovňového střídače FLC je rozdělen do dvou částí. První část (regulace) je zpracována v procesoru DSP, zpracování druhé části (SVPWM modulace) zajišťuje obvod FPGA. Výsledná hodnota, která představuje požadovaný vektor modulačního signálu, z první části výpočtu algoritmu je předána společně s informací o stavu měniče (změřené hodnoty: napětí na pěti plovoucích kondenzátorech, napětí stejnosměrného obvodu a tři fázové proudy) do druhé části zápisem do registrového pole, který je společný pro procesor DSP a jednotku FPGA.

2 Základní zjednodušená struktura MLC interface

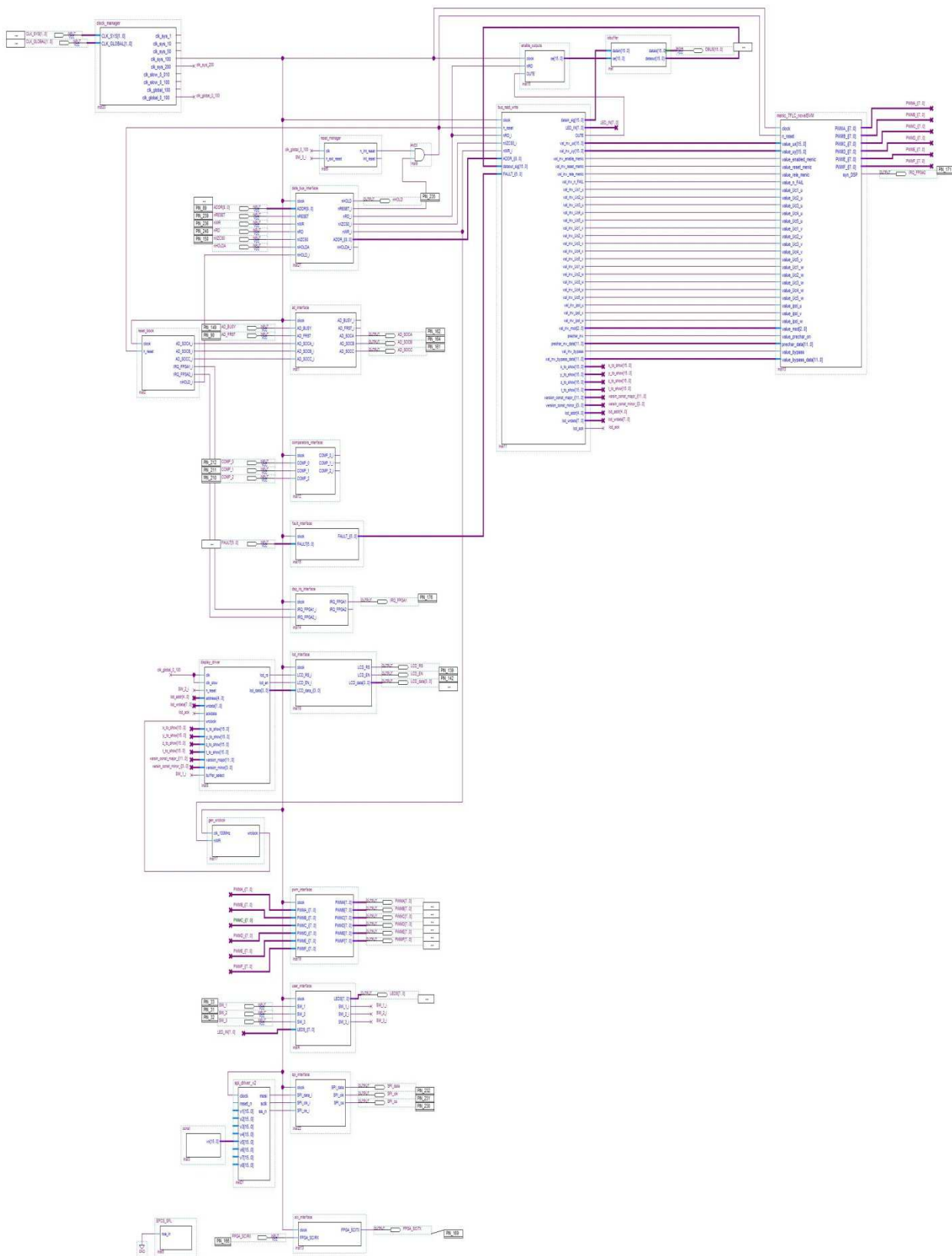
Blokové schéma (Obr. 1) zapojení navržené řídicí jednotky přibližuje vnitřní komunikační strukturu MLC interface včetně komunikace se samotným prototypem střídače 7L-FLC.



Obr. 1: Blokové schéma řídicí jednotky MLC interface a střídače 7L-FLC

3 Struktura entity MLC_Controller_v2

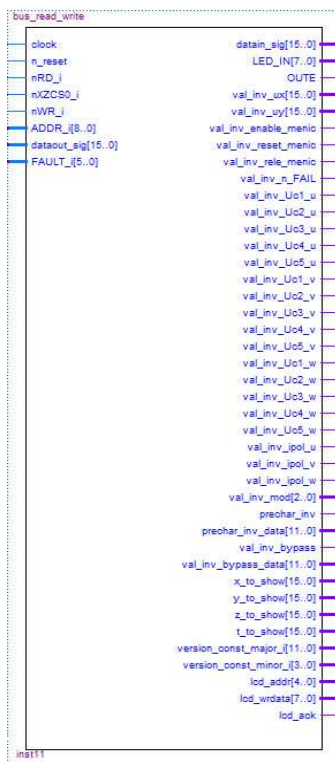
Kompletní struktura entity *MLC_Controller* je tvořena spojením celkem dvaceti entit. Tyto entity jsou využity k ovládání jednotlivých hardwarových prvků vývojové řídicí desky MLC interface v2. Pojmenování těchto entit je následující: *clock_manager*, *reset_manager*, *data_bus_interface*, *ad_interface*, *reset_block*, *comparators_interface*, *fault_interface*, *dsp_irq_interface*, *display_driver*, *lcd_interface*, *gen_wrclock*, *pwm_interface*, *user_interface*, *spi_interface*, *spi_driver_v2*, *EPCS_SFL*, *sci_interface*, *iobuffer*, *enable_outputs*, *bus_read_write*. K samotnému řízení měniče je využita jedna entita *menic_7FLC_novelSVM*. Struktura a celkové zapojení jednotlivých entit *MLC_Controller* je přiblížena na Obr. 2.



Obr. 2: Vnitřní struktura entity *MLC_Controller*

3.1 Entita `bus_read_write`

Vstupní a výstupní signály entity `bus_read_write` jsou přiblíženy na následujícím obrázku Obr. 3.



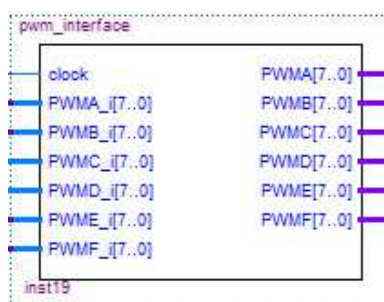
Obr. 3: Entita `bus_read_write`

Entita `bus_read_write` využívá služeb dalších tří entit, tyto entity jsou `iobuffer`, `data_bus_interface` a `enable_outputs`. Entita `iobuffer` řídí funkce vstupně-výstupního bufferu, entita `data_bus_interface` navzorkuje řídicí signály pro sběrnici od procesoru DSP a nastaví příslušné vnitřní signály, entita `enable_outputs` určuje platnost výstupních dat. Entita `bus_read_write` přijme a zpracuje data vystavená procesorem DSP na společnou sběrnici. Jednotlivé hodnoty proměnných mají definovanou vzájemně jednoznačnou adresu v adresovém prostoru sběrnice. První složka požadovaného napětí u_x má přidělenou adresu 20_{HEX} a druhá složka požadovaného napětí u_y má přidělenou adresu 22_{HEX}. Řídicí signály `enable` a `reset` mají přiděleny adresy 26_{HEX} a 27_{HEX}. Informace o napěťové úrovni na plovoucích kondenzátorech je na adrese 24_{HEX}. Informace o polaritě fázových proudů je na adrese 25_{HEX}. Přijaté hodnoty dat jsou následně přeposlány na příslušné výstupy entity `bus_read_write`. Tyto výstupy jsou zpracovány entitou `menic_7FLC_PSPWM`.

Kromě výše uvedených dat zpracovává data určená pro LCD panel, adresa dat pro LCD panel je 12_{HEX}. Data pro LCD panel jsou následně zpracovány hlavními entitami *display_driver* a *lcd_interface* (pomocná entita *gen_wrclock* generuje hodinový signál *wrclock* odvozený od řídicího signálu *nWR* pro entitu *display_driver*).

3.2 Entita *pwm_interface*

Vstupní a výstupní signály entity *pwm_interface* jsou přiblíženy na následujícím obrázku Obr. 4.



Obr. 4: Entita *pwm_interface*

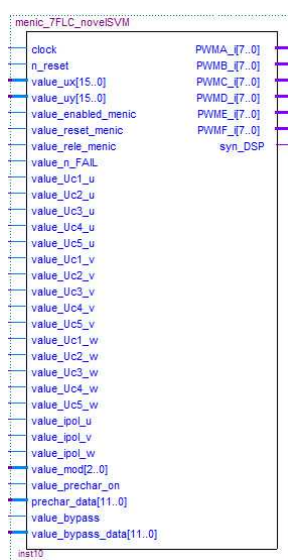
Entita *pwm_interface* přijme šest skupin po osmi PWM signálů předá na příslušné výstupy s náběžnou hranou hodinového signálu.

3.3 Zbylé entity a jejich funkce

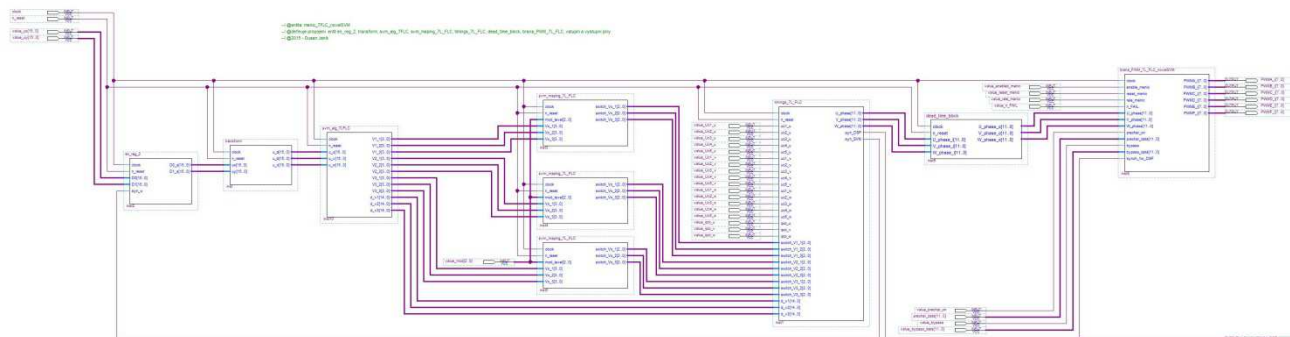
Entita *clock_manager* generuje sadu hodinových signálů o frekvencích 200MHz, 100MHz, 50MHz, 10MHz, 1MHz, 100kHz a 10kHz. Entita *reset_manager* generuje interní reset na základě požadavku od procesoru DSP, nebo od tlačítka. Entita *data_bus_interface* zpracovává adresu požadavku pro čtení/zápis na sběrnici. Entita *ad_interface* řídí funkci HW AD převodníku. Entita *reset_block* definuje stav řídicích signálů (*AD_SOCA*, *AD_SOCB*, *IRQ_FPGA1*, *IRQ_FPGA2* a *nHOLD*) po resetu. Entita *comparators_interface* přijímá signály od komparátorů. Entita *fault_interface* přijímá chybové signály. Entita *dsp_irq_interface* přijímá požadavky na přerušení od procesoru DSP. Entita *user_interface* zpracovává signály generované tlačítka a data pro zápis na blok osmi diod. Entity *spi_interface* a *spi_driver_v2* zpracují data a odešlou je ve formátu spi do HW DA převodníků. Entita *EPCS_SFL* zpřístupňuje paměť flash vývojové desky MLC interface. Entita *sci_interface* obsluhuje komunikaci podle protokolu SCI.

4 Struktura vektorového modulátoru

Kompletní struktura entity SVPWM modulátoru je tvořena spojením sedmi samostatných entit *en_reg_2*, *transform*, *svm_alg_7LFLC*, *svm_mapping_7L_FLC*, *timings_7L_FLC*, *dead_time_block* a *brana_PWM_7L_FLC_novelSWM*. Struktura a celkové zapojení jednotlivých entit tvořících entitu *menic_7FLC_novelSVM* jsou přiblíženy na Obr. 5 a Obr. 6.



Obr. 5: Entita SVPWM modulátoru



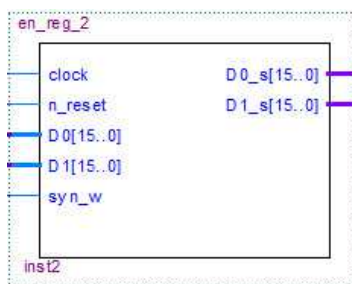
Obr. 6: Vnitřní struktura entity SVPWM modulátoru

Procesor DSP vystaví výstupní data sběrnici, kde si je vyčte entita *bus_read_write* z nadřazené struktury MLC driveru a předá je ke zpracování entitě *menic_7FLC_novelSVM*. Vstupní entita *en_reg_2* přijme data (u_x , u_y) a se synchronizačním impulsem *syn_w* je předá ke zpracování entitě *transform*. Entita *transform* převede vstupní hodnoty (u_x , u_y), které definují požadovaný napěťový vektor v_0 , na tři hodnoty definující tři fázová napětí (u , v , w). Hodnoty fázových napětí tvoří vstup pro entitou *svm_alg_7LFLC*, která na základě výpočtu algoritmu SVM modulace určí oblast(trojúhelník) tvořený třemi vektory, ve kterém se

nachází požadovaný napěťový vektor. A dále určí také doby sepnutí těchto tří vektorů. Entita *svm_maping_7L_FLC* zajistí přemapování těchto tří vektorů na reálné spínací kombinace střídače. Entita *timings_7L_FLC* následně zajistí sepnutí spínací kombinace na požadovanou dobu sepnutí. Pokud je k dispozici více než jedna možná spínací kombinace, pak vybere tu kombinaci, která přispěje k balancování napětí na plovoucích kondenzátorech a ve stejnosměrném obvodu střídače. Entita *dead_time_block* zajišťuje vkládání mrtvých časů během přepínání komplementárních dvojic spínacích prvků. Poslední entita *brana_PWM_7L_FLC_novelSVM* sjednotí jednotlivé signály, tak aby odpovídali pozičně i označením signálům na vstupech driverů střídače 7L-FLC.

4.1 Entita *en_reg_2*

Vstupní a výstupní signály entity *en_reg_2* jsou přiblíženy na následujícím obrázku Obr. 7.

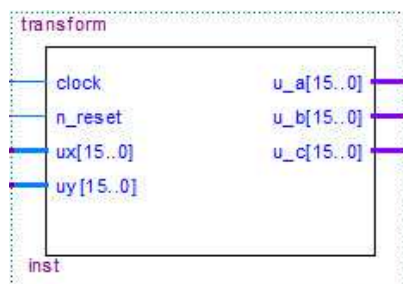


Obr. 7: Entita *en_reg_2*

Entita *en_reg_2* pracuje jako registr, který se synchronizačním impulsem přesune dvě 16bitová čísla (u_x , u_y) ze vstupu na výstup k dalšímu zpracování entitou *transform*.

4.2 Entita *transform*

Vstupní a výstupní signály entity *transform* jsou přiblíženy na následujícím obrázku Obr. 8.



Obr. 8: Entita transform

Funkcí entity *transform* je převést napěťový vektor v_0 určený dvěma složkami u_x a u_y na složky třífázového napětí u_u , u_v a u_w . Výpočet je proveden podle následujících vzorců.

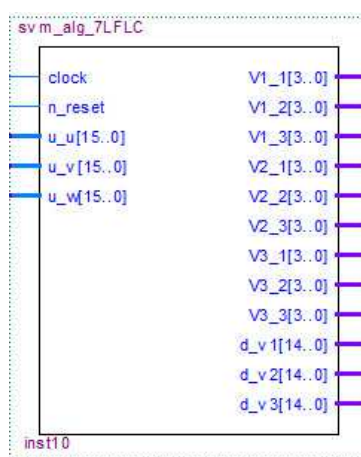
$$u_u = u_x \quad (1)$$

$$u_v = -0,5 u_x + \frac{\sqrt{3}}{2} u_y \quad (2)$$

$$u_w = -0,5 u_x - \frac{\sqrt{3}}{2} u_y \quad (3)$$

4.3 Entita *svm_alg_7LFLC*

Vstupní a výstupní signály entity *svm_alg_7LFLC* jsou přiblíženy na následujícím obrázku Obr. 9. Podrobnější popis algoritmu viz. [1] nebo [2].

Obr. 9: Entita *svm_alg_7LFLC*

Entita *svm_alg_7LFLC* identifikuje trojúhelníkovou oblast, do které se promítne požadovaný napěťový vektor v_o . Identifikace spočívá ve výpočtu funkcí *floor* a *ceil* pro složky třífázového napětí u_u , u_v a u_w , viz. rovnice (4), (5) a (6). Funkce *floor*(x) najde neblížejší nižší celé číslo od čísla x . Funkce *ceil*(x) najde neblížejší vyšší celé číslo od čísla x .

$$f_U = \text{floor}(u_u), c_U = \text{ceil}(u_u) \quad (4)$$

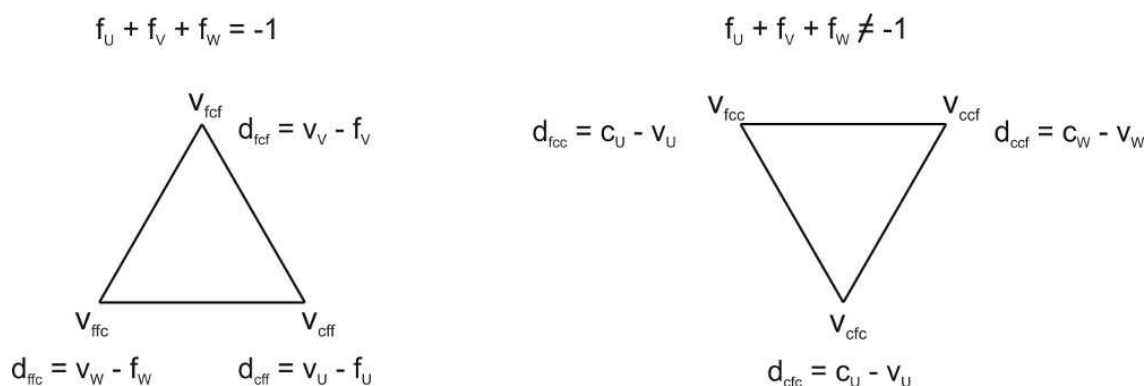
$$f_V = \text{floor}(u_v), c_V = \text{ceil}(u_v) \quad (5)$$

$$f_W = \text{floor}(u_w), c_W = \text{ceil}(u_w) \quad (6)$$

V závislosti na výsledku součtu tří hodnot funkcí *floor* (f_U, f_V, f_W) se vybere jedna ze dvou možných trojúhelníkových oblastí, která je ohraničená třemi vektory. Tyto vektory jsou pojmenovány jako $v_{p_1 p_2 p_3}$, kde indexy p_1 , p_2 a p_3 jsou tvořeny přímo výsledkem příslušných funkcí *floor* a *ceil*. Doba sepnutí $d_{p_1 p_2 p_3}$, kde indexy p_1 , p_2 a p_3 jsou rovněž tvořeny přímo výsledkem příslušných funkcí *floor* a *ceil*, je dána rozdílem dvou hodnot. Výběr oblastí a výpočet časů sepnutí je uveden v Tab. 1 a na ilustračním Obr. 10. Vypočtené hodnoty vektorů a dob sepnutí se předají další entitě ke zpracování. Výstupy entity tedy jsou: $V1_1$ – vektor v_{ffc} nebo v_{fcc} fáze U, $V1_2$ – vektor v_{ffc} nebo v_{fcc} fáze V, $V1_3$ – vektor v_{ffc} nebo v_{fcc} fáze W, $V2_1$ – vektor v_{cfc} nebo v_{ccf} fáze U, $V2_2$ – vektor v_{cfc} nebo v_{ccf} fáze V, $V2_3$ – vektor v_{cfc} nebo v_{ccf} fáze W, $V3_1$ – vektor v_{fcf} nebo v_{cfc} fáze U, $V3_2$ – vektor v_{fcf} nebo v_{cfc} fáze V, $V3_3$ – vektor v_{fcf} nebo v_{cfc} fáze W, d_v1 – doba sepnutí vektoru v_{ffc} nebo v_{fcc} , d_v1 – doba sepnutí vektoru v_{cfc} nebo v_{ccf} , d_v1 – doba sepnutí vektoru v_{fcf} nebo v_{cfc} .

Tab. 1: Výběr trojúhelníkových oblastí a výpočet časů sepnutí vektorů

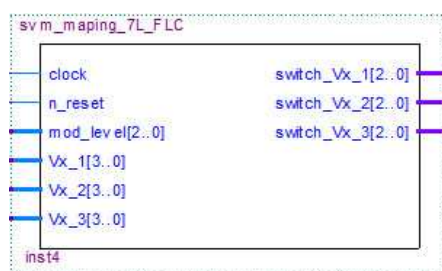
$f_U + f_V + f_W = -1$	$f_U + f_V + f_W \neq -1$
$v_{f_U f_V c_W}, d_{f_U f_V c_W} = v_W - f_W$	$v_{f_U c_V c_W}, d_{f_U c_V c_W} = c_U - v_U$
$v_{c_U f_V f_W}, d_{c_U f_V f_W} = v_U - f_U$	$v_{c_U c_V f_W}, d_{c_U c_V f_W} = c_W - v_W$
$v_{f_U c_V f_W}, d_{f_U c_V f_W} = v_V - f_V$	$v_{c_U f_V c_W}, d_{c_U f_V c_W} = c_V - v_V$



Obr. 10: Výběr trojúhelníkových oblastí a výpočet časů sepnutí vektorů

4.4 Entita *svm_mapping_7L_FLC*

Vstupní a výstupní signály entity *svm_mapping_7L_FLC* jsou přiblíženy na následujícím obrázku Obr. 11.



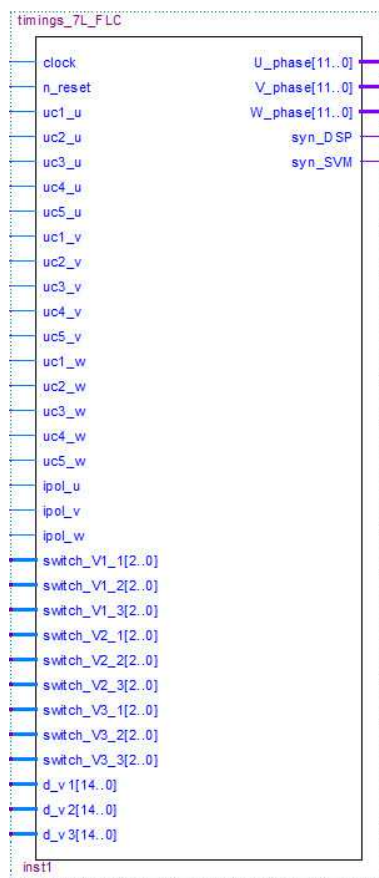
Obr. 11: Entita *svm_mapping_7L_FLC*

Entita *svm_mapping_7L_FLC* ztotožní vstupní vektory definující trojúhelníkovou oblast s reálnou spínací kombinací střídače.

4.5 Entita *timings_7L_FLC*

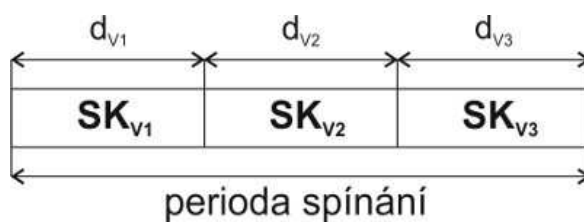
Vstupní a výstupní signály entity *timings_7L_FLC* jsou přiblíženy na následujícím obrázku

Chyba! Nenalezen zdroj odkazů..



Obr. 12: Entita *timings_7L_FLC*

Entita *timings_7L_FLC* přijme jednotlivé kombinace a doby sepnutí. Pokud je k dispozici více možných kombinací sepnutí je na základě vyhodnocení logické funkce je vybrána ta kombinace která přispěje k balancování napětí. Řídícími vstupy do logické funkce jsou informace o logické úrovni na plovoucích kondenzátorech („0“ – podbitý, „1“ – přebitý) a o polaritě fázových proudů („0“ – záporný proud, „1“ – kladný proud). Vybrané spínací kombinace vystaví na výstupu podle dané sekvence spínání, podrobněji viz. Obr. 13. Kde SK_{V1} je spínací kombinace pro vektor 1 (v_{ffc} nebo v_{fcc}) a d_{V1} je doba sepnutí pro vektor 1 (d_{ffc} nebo d_{fcc}), SK_{V2} je spínací kombinace pro vektor 2 (v_{cff} nebo v_{ccf}) a d_{V2} je doba sepnutí pro vektor 2 (d_{cff} nebo d_{ccf}) a SK_{V3} je spínací kombinace pro vektor 3 (v_{fcf} nebo v_{cfc}) a d_{V3} je doba sepnutí pro vektor 3 (d_{fcf} nebo d_{cfc}). Další funkcí této entity je vygenerování synchronizačních impulsů pro procesor DSP a vstupní entitu *en_reg_2*.

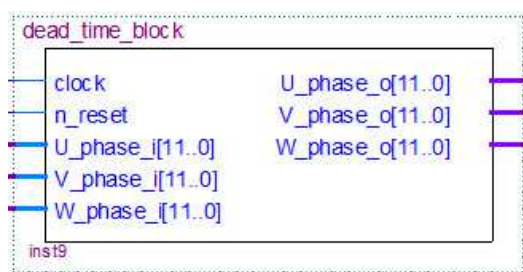


Obr. 13: Sekvence spínání

4.6 Entita *dead_time_block*

Vstupní a výstupní signály entity *dead_time_block* jsou přiblíženy na následujícím obrázku

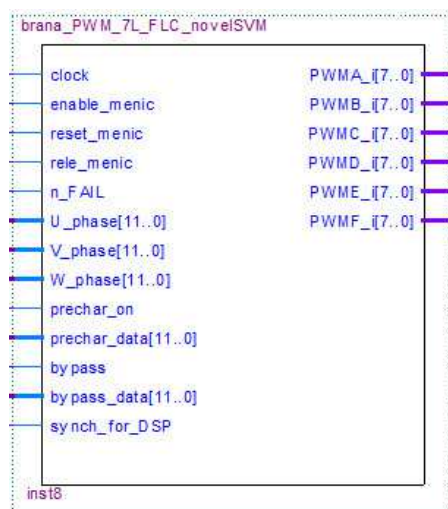
Obr. 14.

Obr. 14: Entita *dead_time_block*

Entita *dead_time_block* zajistí vložení mrtvého času během přepnutí komplementárních dvojic spínacích prvků.

4.7 Entita *brana_PWM_7L_FLC_novelSVM*

Vstupní a výstupní signály entity *brana_PWM_7L_FLC_novelSVM* jsou přiblíženy na obrázku Obr. 15.



Obr. 15: Entita *brana_PWM_7L_FLC_novelSVM*

Entita *brana_PWM_7L_FLC_novelSVM* přijme veškeré řídicí signály pro střídač, přeuspořádá jejich pozici tak, aby odpovídala požadavkům budičů střídače 7L-FLC a pošle je na výstup.

5 Závěr

Navržená struktura SVPWM modulátoru byla implementována a otestována v obvodu FPGA EP3C40Q v nové řídicí desce MLC interface v2 v součinnosti s prototypem sedmiúrovňového střídače 7L-FLC.

Literatura

- [1] D. Peng, F. Lee a D. Boroyevich, „A novel SVM algorithm for multilevel three-phase converters,“ v *Power Electronics Specialists Conference, Annual*, 2002.
- [2] D. Janík, T. Glasberger a P. Kamenický, *Studie metod vektorové modulace vhodné pro obvody FPGA*, 2013.

Seznam obrázků

Obr. 1: Blokové schéma řídicí jednotky MLC interface a střídače 7L-FLC.....	5
Obr. 2: Vnitřní struktura entity MLC_Controller	6
Obr. 3: Entita bus_read_write.....	7
Obr. 4: Entita pwm_interface.....	8
Obr. 5: Entita SVPWM modulátoru	9
Obr. 6: Vnitřní struktura entity SVPWM modulátoru	9
Obr. 7: Entita en_reg_2	10
Obr. 8: Entita transform	11
Obr. 9: Entita svm_alg_7LFLC.....	11
Obr. 10: Výběr trojúhelníkových oblastí a výpočet časů sepnutí vektorů	13
Obr. 11: Entita svm_mapping_7L_FLC	13
Obr. 12: Entita timings_7L_FLC	14
Obr. 13: Sekvence spínání	15
Obr. 14: Entita dead_time_block	15
Obr. 15: Entita brana_PWM_7L_FLC_novelSVM	16

Historie revizí

Rev.	Kapitola	Popis změny	Datum Jméno / Odd.
1	Všechny	Publikování dokumentu	2.11.2015 Janík / RICE