

**Fakulta elektrotechnická
Regionální inovační centrum elektrotechniky**

**Řízení systému WPT na optimální účinnost a
výkon s regulací výkonu**

Pracoviště: Katedra elektromechaniky a výkonové elektroniky
Číslo dokumentu: 22190-018-2017
Typ zprávy: Výzkumná zpráva
Řešitelé: Martin Zavřel, Vladimír Kindl, Pavel Drábek
Hlavní řešitel: Martin Zavřel
Počet stran: 41
Datum vydání: 23. 5. 2017
Oborové zařazení: JA – Elektronika a optoelektronika, elektrotechnika

Zadavatel / zákazník:

Západočeská univerzita v Plzni
Regionální inovační centrum
elektrotechniky
Univerzitní 8
306 14 Plzeň

Zpracovatel / dodavatel:

Západočeská univerzita v Plzni
Regionální inovační centrum
elektrotechniky
Univerzitní 8
306 14 Plzeň

Kontaktní osoba:

Ing. Martin Zavřel
tel. 377634420
zavrelm@rice.zcu.cz

Podpořeno projekty: SGS-2015-038, RICE-No. LO1607, TE01020038



Martin Zavřel

Řízení systému WPT na optimální účinnost a výkon s regulací výkonu

Technická zpráva

Pracovní balíček:

WP8 – Elektrické části pohonů, hybridní pohony, rekuperace

Rok řešení:

2017



Projekt č. TE01020038 „Centrum kompetence drážních vozidel“ je řešen s finanční podporou TA ČR.

Anotace

Tato výzkumná zpráva pojednává o řízení systému WPT na optimální účinnost a výkon s možností regulace výkonu na zátěži. Popisovaná metoda řízení na optimální účinnost a výkon je založena na přesném nastavení fázového posuvu mezi primárním a sekundárním napětím. Doplňková regulace výkonu je založena na snižování střídavého primárního napětí. Zpráva se zabývá shrnutím základních vztahů a principů navržených řízení, jejich simulací a realizací v DSP. Všechny teoretické poznatky jsou ověřeny laboratorním měřením na experimentálním prototypu systému WPT.

Klíčová slova

Bezdrátový, přenos, výkon, účinnost, řízení, měření, prototyp, simulace.

Název zprávy v anglickém jazyce / Report title

Optimal efficiency and power control of wireless power transfer with power regulation.

Anotace v anglickém jazyce / Abstract

The research work discusses with optimal efficiency and power control strategy for wireless power transfer systems with power regulation. The proposed method of optimal efficiency and power control is based on exact setting of phase shift angle between the primary and the secondary voltages. The additional power regulation is based on primary voltage crumb reducing. The paper further summarizes fundamental mathematical description and includes supporting simulation results. The possibilities of proposed control implementation in DSP are briefly suggested. All theoretical assumptions are verified by laboratory measurement on experimental prototype of WPT system.

Klíčová slova v anglickém jazyce / Keywords

Wireless, power, transfer, efficiency, control, measurement, prototype, simulation.

Seznam symbolů a zkratk

WPT	Wireless Power Transfer / Bezdrátový Přenos Výkonu
DSP	Digitální signálový procesor
DPS	Deska plošných spojů
MLC interface	Multi level converter interface
S-S	Sério-Sériová

Obsah

1	ÚVOD	6
1.1	DEFINICE NOVÝCH POJMŮ	6
2	ZÁKLADNÍ VZTAHY	7
2.1	ŘÍZENÍ NA OPTIMÁLNÍ ÚČINNOST A VÝKON	7
2.2	REGULACE VÝKONU	9
3	PRINCIP REGULACE A ŘÍZENÍ	10
3.1	ŘÍZENÍ NA OPTIMÁLNÍ ÚČINNOST A VÝKON	10
3.2	REGULACE VÝKONU	11
4	SIMULACE	13
4.1	NÁVRH PI REGULÁTORU	19
5	IMPLEMENTACE ŘÍZENÍ DO DSP	20
5.1	POPIS REGULACE	23
5.2	NASTAVENÍ POŽADOVANÉHO φ^* V DSP	29
5.3	KOMUNIKACE	29
6	OVĚŘENÍ ŘÍZENÍ POMOCÍ MĚŘENÍ	30
6.1	OVĚŘENÍ ŘÍZENÍ NA OPTIMÁLNÍ ÚČINNOST A VÝKON	30
6.1.1	<i>Optimalizace systému WPT pro malé zátěže</i>	32
6.2	OVĚŘENÍ REGULACE VÝKONU	36
7	ZÁVĚR	38

1 Úvod

Tato výzkumná zpráva se zabývá popisem řízení na optimální fázi a výkon s regulací výkonu pro systém WPT. Zpráva plynule navazuje na výzkumné zprávy [1], [2] a [3], čímž je definován systém bezkontaktního přenosu výkonu, měřící pracoviště a způsob měření. Na takto definovaný systém bylo vyvinuto řízení na optimální účinnost, které vychází z teoretických poznatků[4] a řízení výkonu, které vychází ze změny efektivního příkonu.

Ve zprávě jsou uvedeny základní vztahy a principy, které navržené řízení opodstatňují. Dále jsou zde uvedeny provedené simulace. Další části zprávy jsou věnovány implementaci navrženého řízení do DSP Texas Instruments TMS320F28335 a měřením na laboratorním prototypu WPT s těmito řízeními.

Hlavním důvodem tvorby těchto regulací je snaha udržet co nejvyšší účinnost a přenášený výkon systému WPT napříč spektrem provozních parametrů zátěže i systému samotného. Neboť, jak je zřejmé z literatury [3] účinnost a přenášený výkon jsou závislé na přenosové vzdálenosti a velikosti zátěže.

Návrh řízení byl prováděn s ohledem na co největší jednoduchost a robustnost.

1.1 Definice nových pojmů

Optimální velikostí fázového posuvu je myšlen stav, kdy napětí primárního a sekundárního obvodu mají vůči sobě definovaný posuv, při kterém je dosahováno nejlepšího prolnutí oblastí maximální účinnosti a přenášeného výkonu na systému WPT.

Regulací na optimální účinnost a výkon je rozuměna taková regulace, která udržuje optimální velikost fázového posuvu při změnách provozních parametrů zátěže a systému WPT.

2 Základní vztahy

2.1 Řízení na optimální účinnost a výkon

Popisované řízení vychází z experimentálně zjištěných vlastností WPT a z odvozených vztahů v literatuře [4].

V literatuře [4] je uvedeno odvození vztahu, který je základním pro řízení na optimální kmitočet. Jeho výsledná forma je:

$$\varphi_{U_1 - U_2 \text{ optimal}} = \frac{3}{4} \cdot \pi; 2 \cdot \pi = T_{U_1} = \text{period} \quad (1)$$

Přičemž φ představuje fázový posuv napětí sekundárního za napětím primárním. Při tomto fázovém posuvu vykazuje WPT nejdokonalejší prolnutí dosažené účinnosti a výkonu.

Dále lze odvodit fázový posuv pro dosažení maximálního výkonu, který má po úpravě tvar:

$$\varphi_{U_1 - U_2 \text{ power}} = \frac{2}{4} \cdot \pi; 2 \cdot \pi = T_{U_1} = \text{period} \quad (2)$$

Tento fázový posuv je vhodný například pro urychlení nabíjení. Je zde však potřeba počítat s nižší účinností.

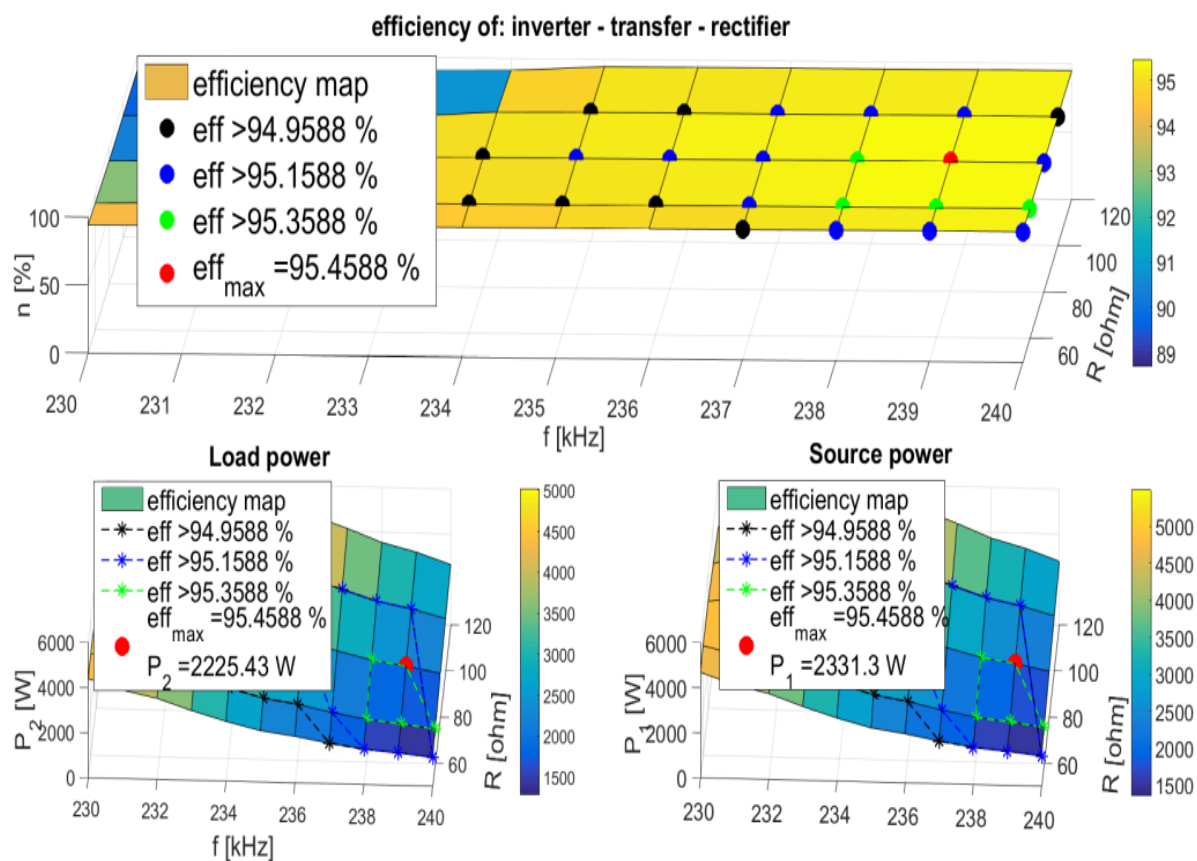
Mezi φ a pracovním kmitočtem (f) existuje jistá závislost, kterou lze pozorovat z oscilografů pořízených při měření dle literatury [2] a z Obr. 1 a 2, tedy:

$$\hat{f}_{U_1} \rightarrow \hat{\varphi}_{U_1 - U_2} \text{ a } f_{hr} \rightarrow \varphi = \frac{2}{4} \pi \quad (3)$$

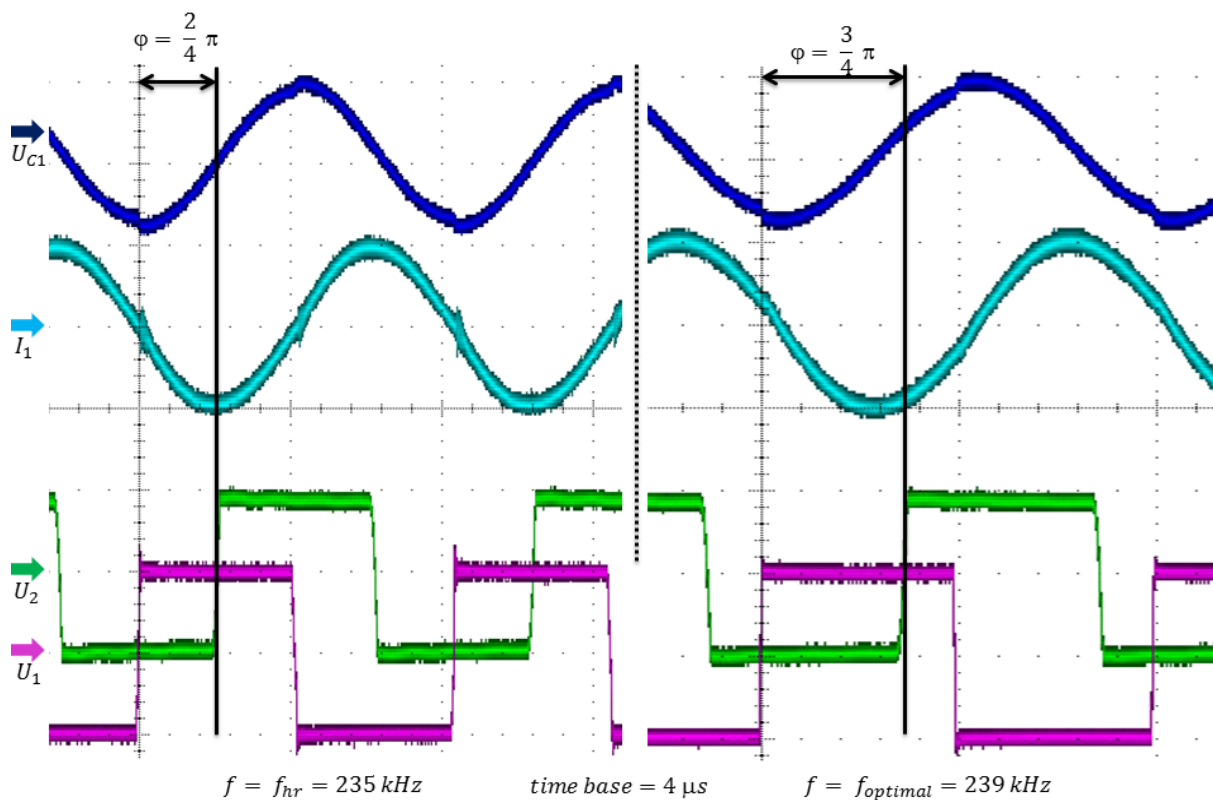
Přesný vztah mezi f a φ není pro regulaci nezbytný, neboť nastavení provádí PI regulátor.

Mimo vztahu (3) lze i vztahy (1) a (2) lehce vypočítat z oscilografů pořízených při měření dle literatury [2]. Upravené mapy a oscilografy jsou pro názornost uvedeny také na Obr. 2.1 a 2.2 v této zprávě. Na Obr. 2.1 je červeně vyznačen bod optimální účinnosti. Na Obr. 2.2 vpravo je vyobrazen oscilograf pořízený v tomto bodě. Obr. 2.2 vlevo zachycuje oscilograf při hlavním rezonančním kmitočtu a při stejné impedanci zátěže jako v případě vpravo. Hlavní rezonanční kmitočet je určen dle vztahu (10).

Průběhy vyobrazené na Obr. 2.2 představují výstupní napětí střídače (primární napětí U_1), vstupní napětí usměrňovače (sekundární napětí U_2), primární proud (I_1) a napětí na primárním kompenzačním kondenzátoru (U_{C1}).



Obr. 2.1. Výkonové a účinnostní mapy neregulovaného systému WPT



Obr. 2.2. Detail oscilografů při hlavním rezonančním kmitočtu a při optimálním kmitočtu

2.2 Regulace výkonu

Ze základní definice efektivní hodnoty obecného průběhu výkonu:

$$S_{eff} = \sqrt{\frac{1}{T} \int_0^T s_{(t)}^2 dt} \quad (4)$$

a z definice výkonu:

$$s_{(t)} = u_{(t)} \cdot i_{(t)} \quad (5)$$

Ize získat vztah:

$$S_{1\,eff} = \sqrt{\frac{1}{T} \int_0^T (u_{(t)} \cdot i_{(t)})^2 dt} \quad (6)$$

Řešením výkonu pomocí symbolicko komplexní metody pro první harmonickou s využitím náhradní impedance WPT v S-S konfiguraci, která je uvedena v literatuře [4] ve tvaru:

$$\hat{Z}_{C:S-S} = \frac{j - C_2 R_Z \omega - j(C_1 L_1 + C_2 L_2) \omega^2 + C_1 L_1 C_2 R_Z \omega^3 + j C_1 C_2 (L_1 L_2 - M^2) \omega^4}{C_1 \omega (C_2 \omega (-j R_Z + L_2 \omega) - 1)}; M = k \sqrt{L_1 L_2} \quad (7)$$

je možné psát:

$$\hat{S}_{1\,eff\,(1)} = \frac{\hat{U}_{1\,eff\,(1)}^2}{\hat{Z}_{C:S-S\,(1)}} \quad (8)$$

Ze známého vztahu:

$$\hat{P}_{1\,eff\,(1)} = \text{Re}\{\hat{S}_{1\,eff\,(1)}\} \quad (9)$$

je množné pro 1. harmonickou příkonu možné psát:

$$p_{1\,(t)} = \sqrt{2} \cdot P_{1\,eff\,(1)} \cdot \sin(\omega t + \varphi) \quad (10)$$

Dále lze psát, že:

$$P_{1\,eff} = \Delta P_{1\,eff} + \Delta P_{2\,eff} + \Delta P_{transfer\,eff} + P_{2\,eff} \quad (11)$$

a při zjednodušení zanedbáním ztrát tvrdit, že:

$$P_{1\,eff} \approx P_{2\,eff} \quad (12)$$

Výkon na zátěži tedy lze ovlivnit příkonem, který je závislý na efektivní hodnotě napájecího napětí systému WPT. V dalším je tato efektivní hodnota dána střídou obdélníkového napětí.

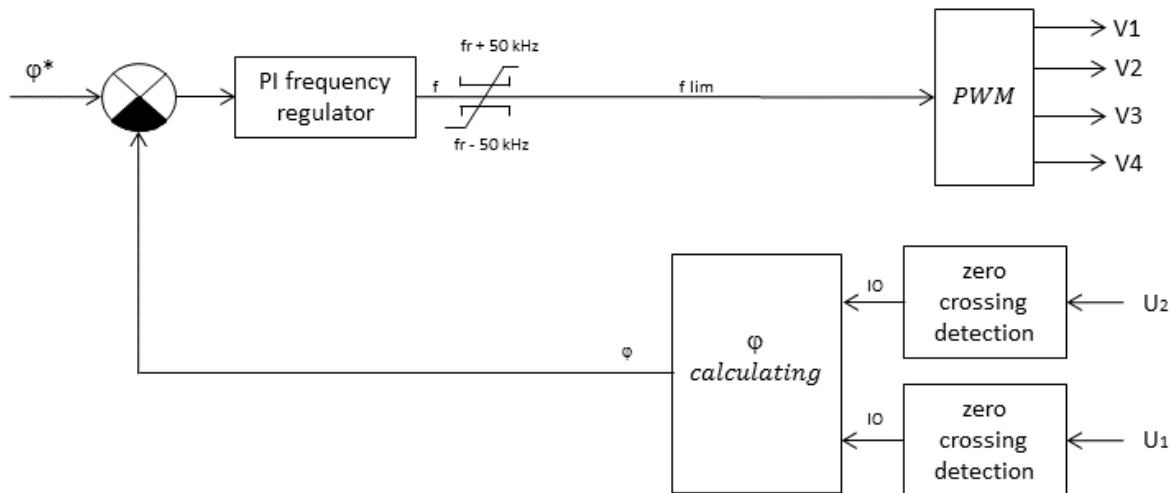
Přesné vyčíslení vztahu mezi P_1 a P_2 není pro problematiku regulace výkonu nezbytná, neboť vhodně navržený PI regulátor tato zjednodušení vykompenzuje.

3 Princip regulace a řízení

3.1 Řízení na optimální účinnost a výkon

Řízení na optimální účinnost a výkon vychází z uvedených rovnic (1) až (3) a z měření fázového posuvu primárního a sekundárního napětí dle Obr. 2.1 a Obr. 2.2. Cílem regulace je nastavit takovou pracovní frekvenci f , při které bude fázový posuv φ rovný posuvu požadovanému, tedy v našem případě $\varphi_{U_1-U_2 \text{ optimal}} = \frac{3}{4} \cdot \pi$.

Principiálně lze regulaci popsat blokovým schématem na Obr. 3.1.



Obr. 1.1. Principiální schema řízení na optimální účinnost a výkon

Na Obr. 3.1 je uveden f_r , což je hlavní rezonanční kmitočet WPT stanovený dle vztahu:

$$f_{hr} = \frac{1}{2\pi\sqrt{L \cdot C}} \quad , \text{ přičemž dále platí, že } L_1 = L_2 = L \text{ a } C_1 = C_2 = C \text{ tedy } f_{r1} = f_{r2} = f_r \quad (13)$$

a je limitován omezovačem na:

$$\begin{aligned} f_{max} &= f_{hr} + 50 \cdot 10^3 \text{ Hz} \\ f_{min} &= f_{hr} - 50 \cdot 10^3 \text{ Hz} \end{aligned} \quad (14)$$

Z Obr. 3.1 vychází jako stěžejní blok $\varphi_{\text{calculating}}$ a jako hlavní problém zadávání φ . φ je v této regulaci zadáváno jako poměrná hodnota doby zpoždění mezi náběžnými hranami U_1 a U_2 vztažené k periodě primárního napětí, tedy:

$$\varphi = \frac{t_{(U_1 \rightarrow U_2)}}{T_{(U_1)}} \quad (15)$$

Pro takto určené φ je třeba přepočíst jeho optimální nastavení:

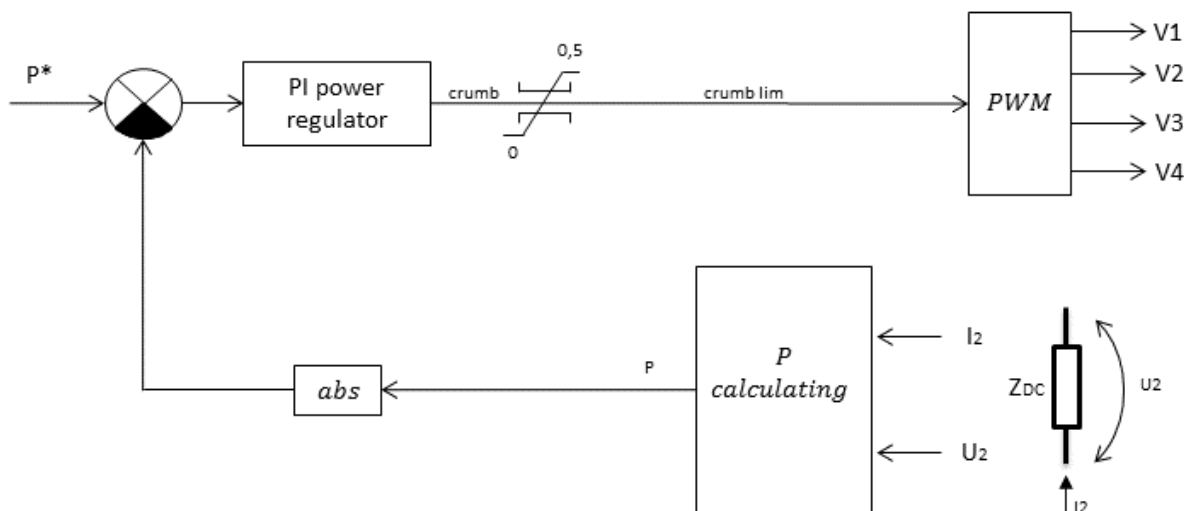
$$\pi = \frac{1}{2} T_{(U_1)} \quad (16)$$

$$\varphi_{U_1-U_2 \text{ optimal}} = \frac{3}{4} \pi \rightarrow \varphi = 0,375 \quad (17)$$

$$\varphi_{U_1-U_2 \text{ power}} = \frac{2}{4} \pi \rightarrow \varphi = 0,25 \quad (18)$$

3.2 Regulace výkonu

Regulace výkonu vychází z rovnic (4) až (8) a z měření napětí a proudu zátěže. Principiálně je tato regulace znázorněna blokových schématem na Obr. 3.2.



Obr. 3.2. Principiální schéma regulace výkonu

Jelikož jde o regulaci stejnosměrného výkonu na zátěži, která je tvořena akumulátory, nebo jako obecná, vystačíme si v bloku **P_{calculating}** se vztahem:

$$P = U_2 \cdot I_2 \quad (19)$$

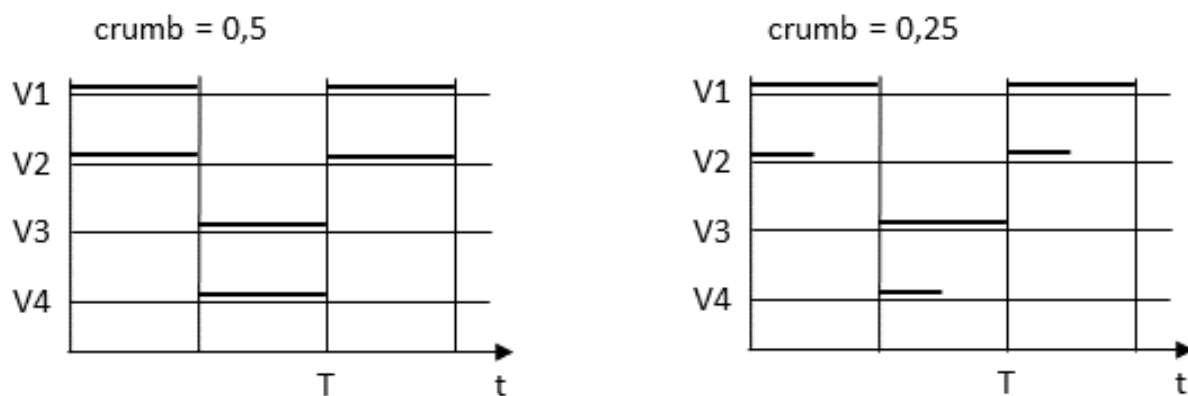
Popřípadě je možné s výhodou vyloučit blok **abs** a v bloku **P_{calculating}** využít vztah:

$$P = |U_2 \cdot I_2| \quad (20)$$

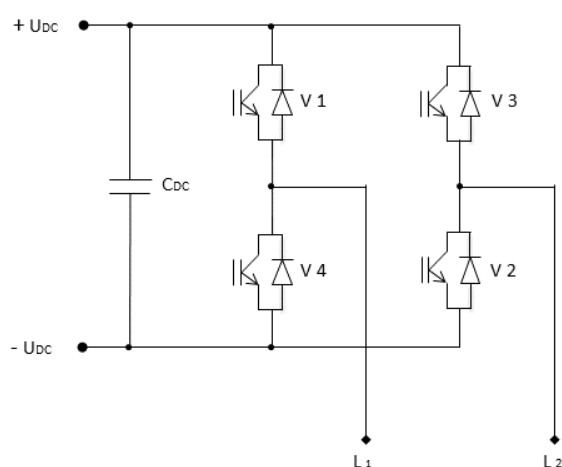
Dále je nutné poznamenat, že v aktuální verzi WPT (pracovně označené jako WPT v.0.3) je řízení výkonu realizováno manuálně pomocí zadávání hodnoty **crumb** do **PWM** bloku. Je to především z důvodu dalších plánovaných kroků vývoje, které značně ovlivní výstupní měnič a vlastnosti zátěže. Tímto postrádá ladění výkonové regulace význam, avšak bloku **PWM** se tyto kroky již nedotknou.

Spínací impulzy **V1** až **V4** se řídí spínacím diagramem z Obr. 3.3. Topologie střídače je pak uvedena na Obr. 3.4. Řízení dle uvedeného spínacího diagramu je nezbytné hned z několika důvodů. Tím hlavní je zamezení připojení záporného napětí na zátěž v oblastech vypnutí **V2** a **V4**. Pokud by docházelo i k vypnutí **V1** a **V3**, docházelo by k výraznému zhoršování vlastností systému WPT vlivem připojení záporného napětí přes zpětné diody. Druhým důvodem znázorněného řízení je omezení vypínacích ztrát, neboť prvky **V1** a **V3** takto vypínají převážně při nulovém proudu a napětí.

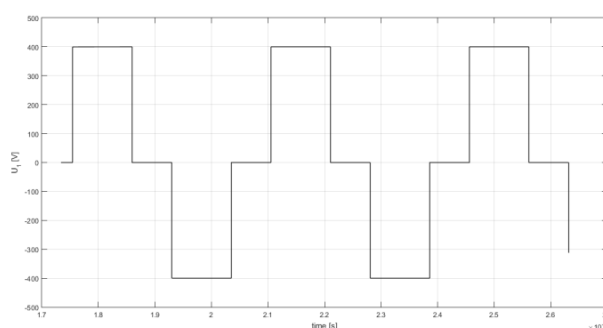
Na Obr. 3.5 je uveden výsledný průběh primárního napětí U_1 při nastavené stříde 0,3.



Obr. 3.3 Spínací diagram



Obr. 3.4. Topologie střídače



Obr. 3.5. Primární napětí při střídě 0,3

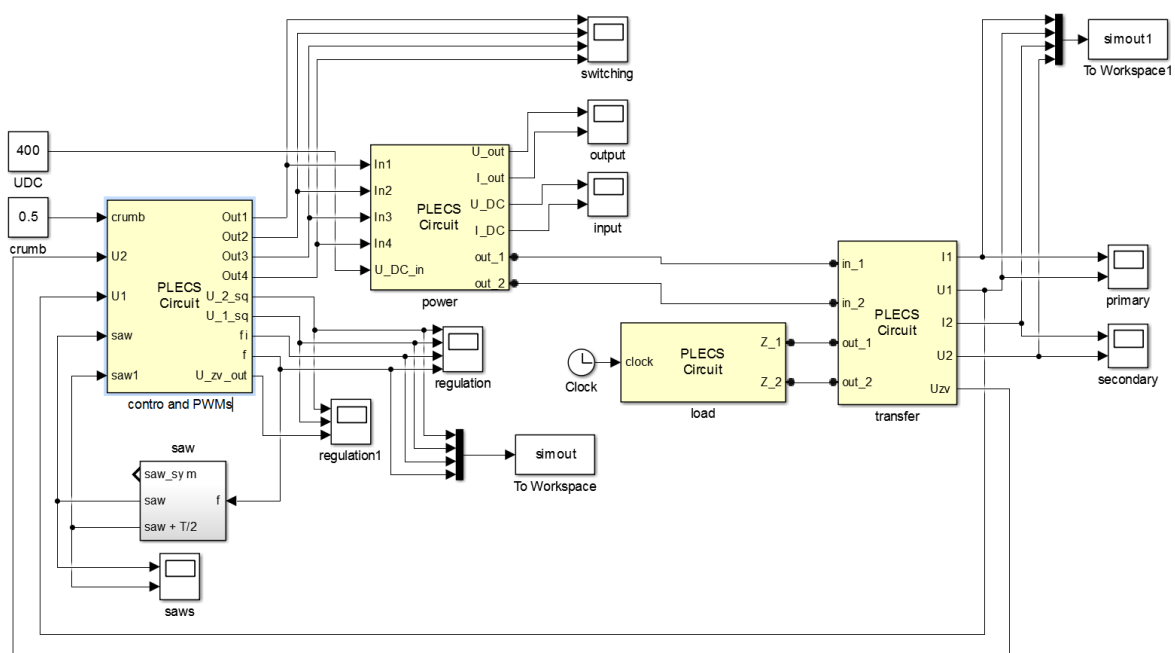
Z uvedených Obr. 3.3 – Obr. 3.5 vyplívá také omezení střídý na:

$$\begin{aligned} crumb_{max} &= 0,5 \\ crumb_{min} &= 0 \end{aligned} \quad (21)$$

Takto uvedená limitace střídý je v horním omezení nebezpečná z hlediska nedodržení mrtvých časů. Tento problém je však řešen nastavením mrtvých časů v PWM perifériích DSP, jak je popsáno níže.

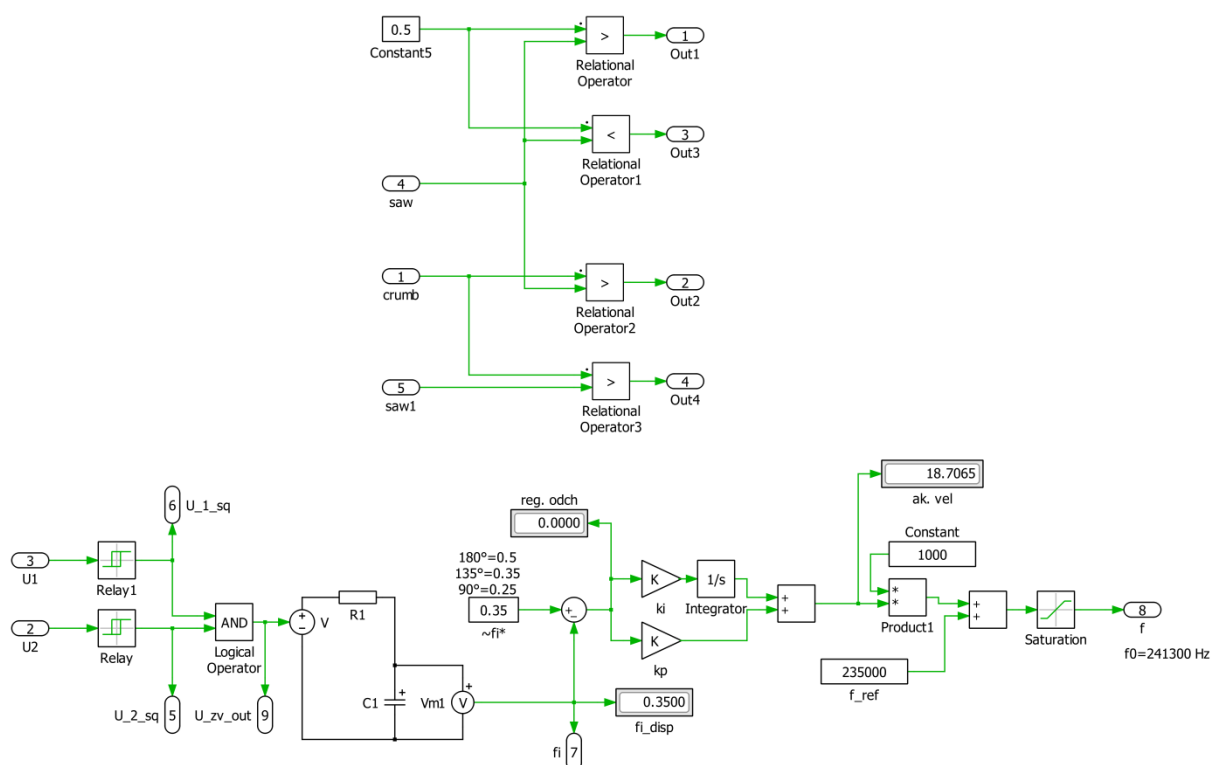
4 Simulace

Simulace pro ověření navrhované regulace jsou prováděny v prostředí Matlab – Simulink / PLECS. Simulace byla navrhována s důrazem na co nejvyšší průhlednost z důvodu pozdější implementace řízení do DSP. Je tedy sestavena z elementárních komponent a rozdělena do funkčních bloků. Simulační schéma je vyobrazeno na Obr. 4.1. Další obrázky (Obr. 4.2. – Obr. 4.6.) zachycují detailněji bloky **control**, **Power**, **Load** a **Transfer**. Výstup simulace je pak vyobrazen na dalších obrázcích.



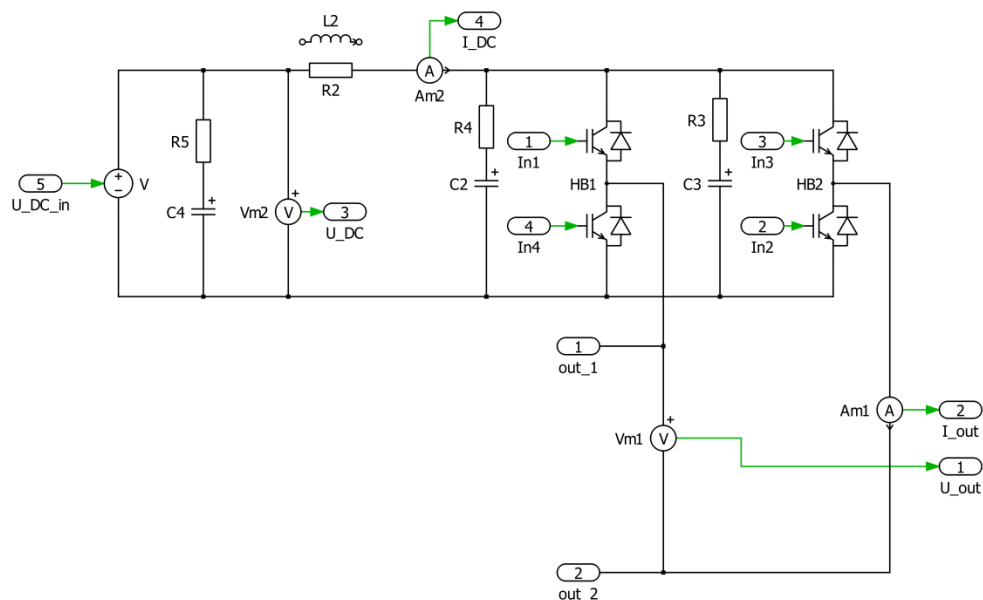
Obr. 4.1. Simulační schéma

Simulace zachycuje děj od zapnutí systému při nulových počátečních podmínkách. Po ustálení na požadované hodnotě posuvu dojde ke změně zátěžného odporu (v čase 0,15 s, nebo 0,3 s). Vzniklý přechodný děj je v simulaci také zachycen a to až po nový ustálený stav. Simulace je prováděna do času 0,2 s při střídě primárního napětí 0,5, nebo do času 0,5 s při střídě 0,3. V dalším kroku simulování je nastavena střída zpět na hodnotu 0,5, čas změny zátěže na 0,15 s a je změněna vzájemná indukčnost hlavních cívek z 21,95 μH na 10,95 μH . Touto úpravou je simulováno zvětšení přenosové vzdálenosti.



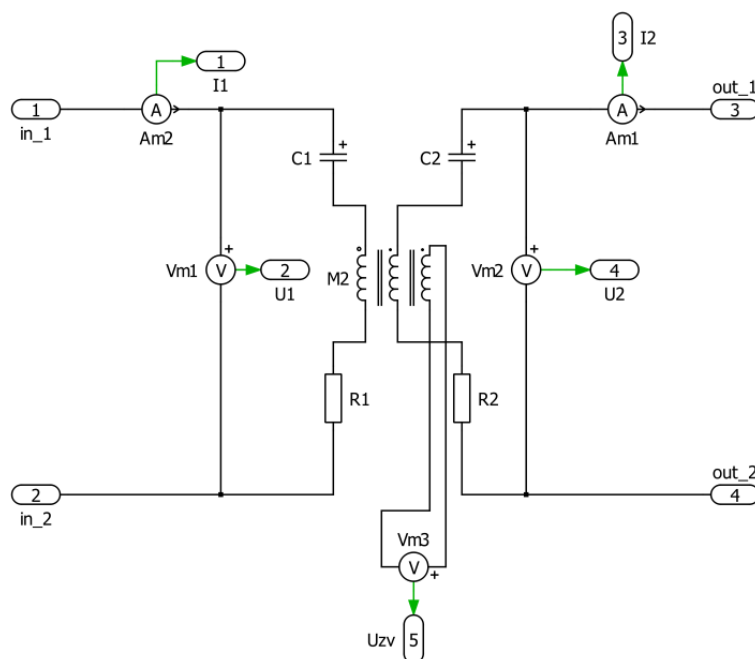
Obr. 4.2. Simulační schéma – blok Control and PWM

Popis Obr. 4.2 je uveden zde: Bloky **Relay** zde slouží pro detekci průchodu primárního a sekundárního napětí nulou. Následující bloky **And**, **Source**, **R**, **C** a **V** slouží jako analogová varianta výpočtu posuvu φ dle vztahu (11). Následující bloky reprezentují PI regulátor posuvu φ . V horní části Obr. 4.2 je simulována PWM pro řízení dle spínacího diagramu z Obr. 3.3. Pro svou činnost přitom využívá blok **saw** z Obr. 3.1.



Obr. 4.3. Simulační schéma – blok Power

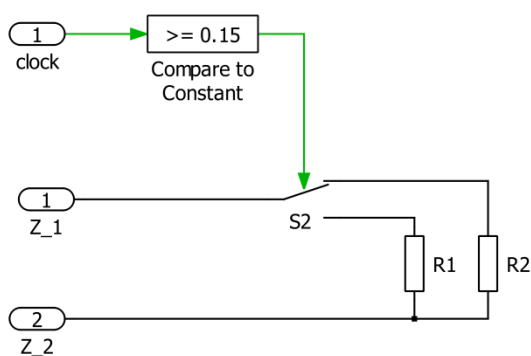
Z Obr. 4.3 je patrné, že zapojení střídače je totožné s principiálním schématem z Obr. 3.4.



Obr. 4.4. Simulační schéma – blok Transfer

K bloku **transfer** z Obr. 4.1 lze přistoupit několika způsoby. Pro naše účely je postačující přístup z Obr. 4.4. Zde je použita induktivní vazba mezi 2-ma hlavními cívkami a jedním měřícím vinutím, na kterém se indukuje tvarově shodné napětí s napětím sekundárním. Takto realizovaný model přenosu je možné použít, neboť pro správnou činnost regulace na optimální fázi postačuje pouze znalost tvaru sekundárního napětí. Znalost velikosti sekundárního napětí a proudu tedy není pro tuto regulaci podstatná.

Pro regulaci výkonu je tento model také postačující, neboť další vývoj předpokládá měření napětí a proudu na zátěži.



Obr. 4.5. Simulační schéma – blok Load

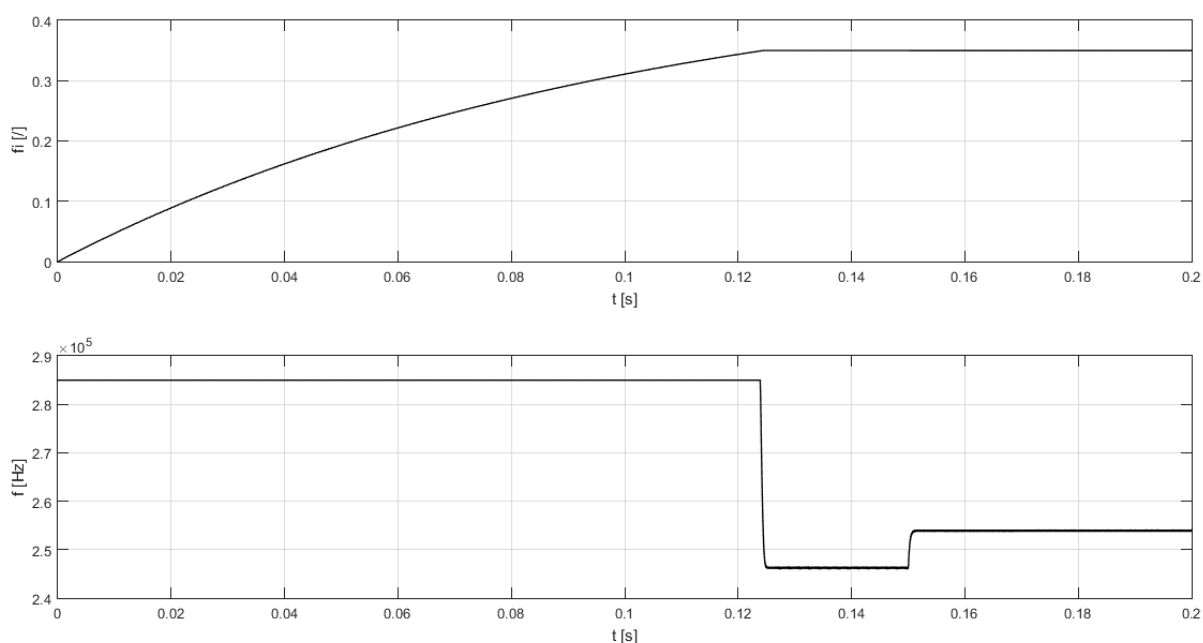
Na Obr. 4.5 je uveden blok **load**, na kterém je v tomto případě patrná zmíněná změna zátěžného odporu v čase 0,15 s.

Z uvedených obrázků simulace je patrné, že v simulaci není uvažován výstupní měnič (usměrňovač). Toto zjednodušení je možné provést, neboť zátěž je ideální (ohmická) a cílem simulace nejsou poměry na zátěži a ani účinnost systému.

Na následujícím Obr. 4.6 je vyobrazen průběh fáze (v zavedené poměrné velikosti dle (15)) a kmitočtu během simulace při nastavené střídě 0,5 a vzájemné indukčnosti 21,95 μH . Na tomto obrázku je patrný velmi pomalý přechodný děj při zapnutí, který je dán nulovými počátečními podmínkami systému. Doregulování je však na nulovou regulační chybu. Odezva regulace na následnou změnu odporu je již velmi rychlá, což je žádoucí pro aplikaci s proměnnými parametry zátěže. Regulační odchylka je i v novém ustáleném stavu nulová.

Regulační odchylka je v tomto případě rozdíl skutečné velikosti poměrné hodnoty φ a její požadované velikosti φ^* .

Z hlediska optimalizace vlastností měniče a systému WPT je důležité omezení rozkmitu f_{U1} . Nulový rozkmit v ustáleném stavu vede na neschopnost doregulování na požadovanou střidu. Příliš velký rozkmit vede na rychlejší regulaci, avšak zhoršuje vlastnosti systému WPT. Experimentálně byl regulátor nastaven tak, aby rozkmit činil maximálně 500 Hz.

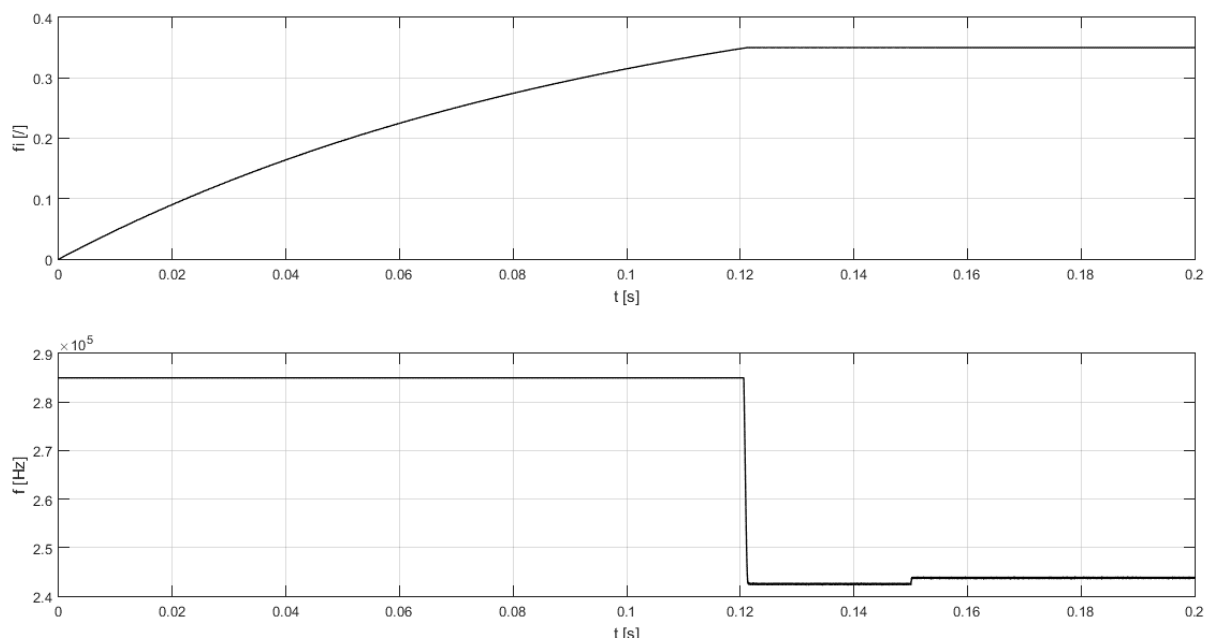


Obr. 4.6. Simulační výsledky při střídě 0,5 a vzájemné indukčnosti 21,95 μH

V uvažované aplikaci systému WPT je nutné předpokládat proměnnou vzduchovou mezeru, avšak tato má zanedbatelný vliv na nastavení fáze, jak je patrné ze srovnání Obr. 4.6 a Obr. 4.7.

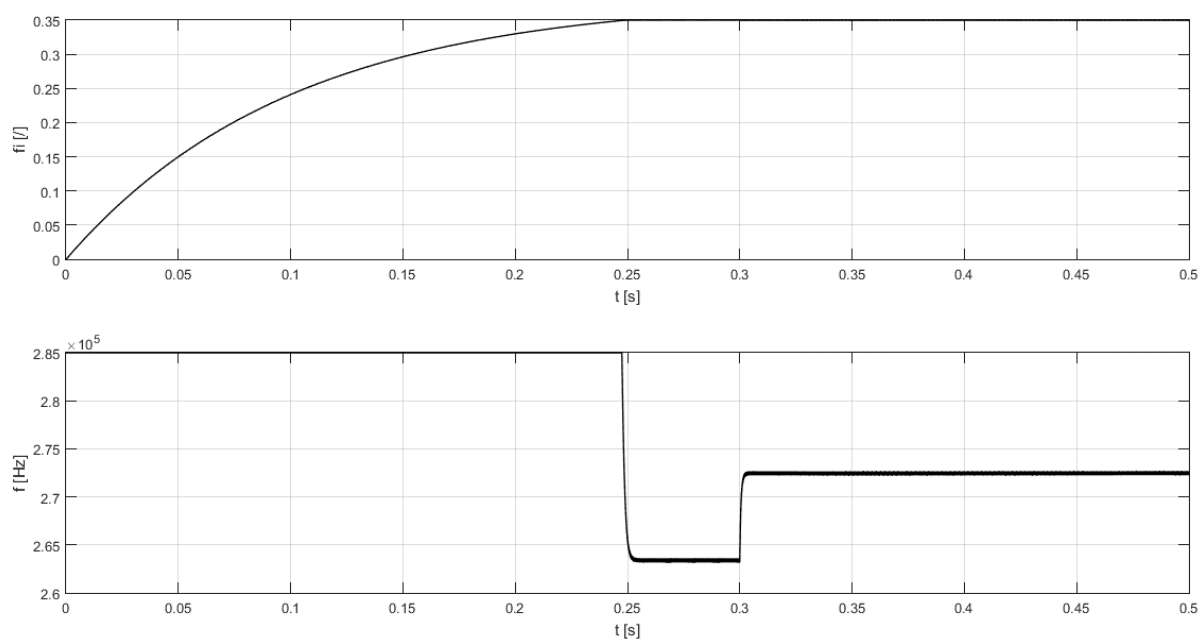
Na Obr. 4.7 je vyobrazen průběh simulace při snížení vzájemné indukčnosti (M) z 21,95 μH na 10,95 μH . Tato změna v reálu znamená zvýšení přenosové vzdálenosti. Při této větší vzdálenosti je aplikována změna zátěžného odporu v čase 0,15 s. Střída primárního napětí je nastavena opět na 0,5.

Při spuštění simulace se změněnými parametry vzájemné indukčnosti v bloku **transfer**, dostáváme opět nulovou regulační chybu fáze v ustáleném stavu, avšak při mnohem nižším regulačním zásahu.



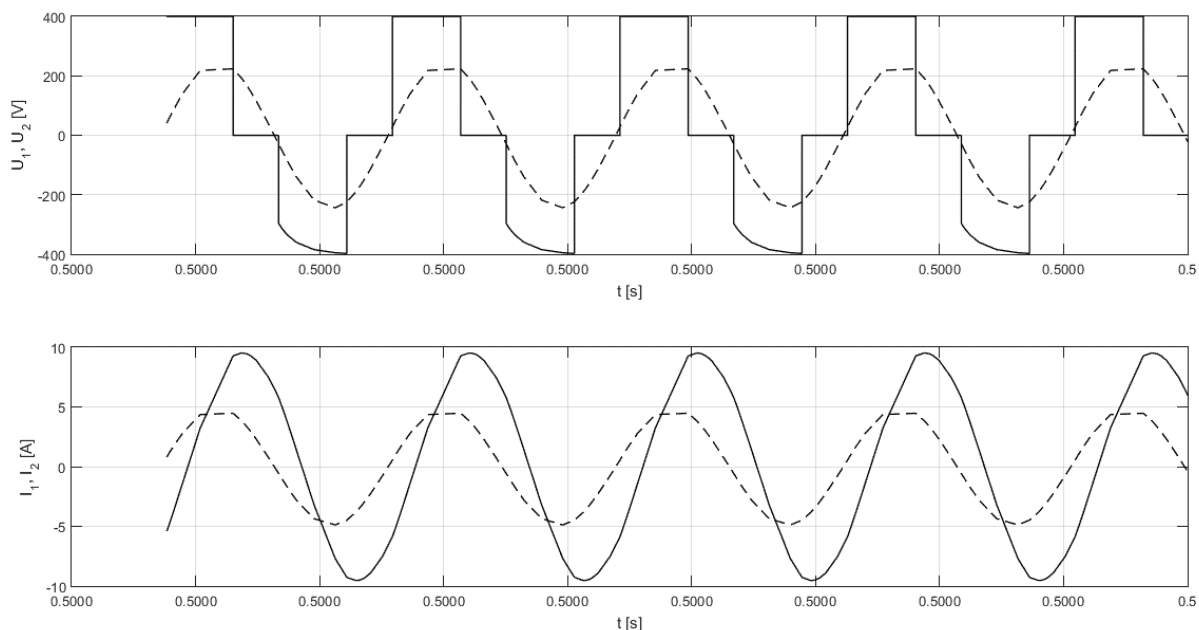
Obr. 4.7. Simulační výsledky při střídě 0,5 a vzájemné indukčnosti 10,95 μ H

Na dalším Obr. 4.8 je vyobrazen průběh simulace při střídě **crumb** = 0,3 a $M = 21,95 \mu\text{H}$. Z tohoto obrázku je patrná stejně kvalitní regulace φ jako při střídě **crumb** = 0,5. Samozřejmě s tím, že zapínací přechodný děj je delší a tedy i změna zátěžného odporu je posunuta na čas 0,3 s. Rozkmit kmitočtu v ustáleném stavu při této střídě činí maximálně 300 Hz.

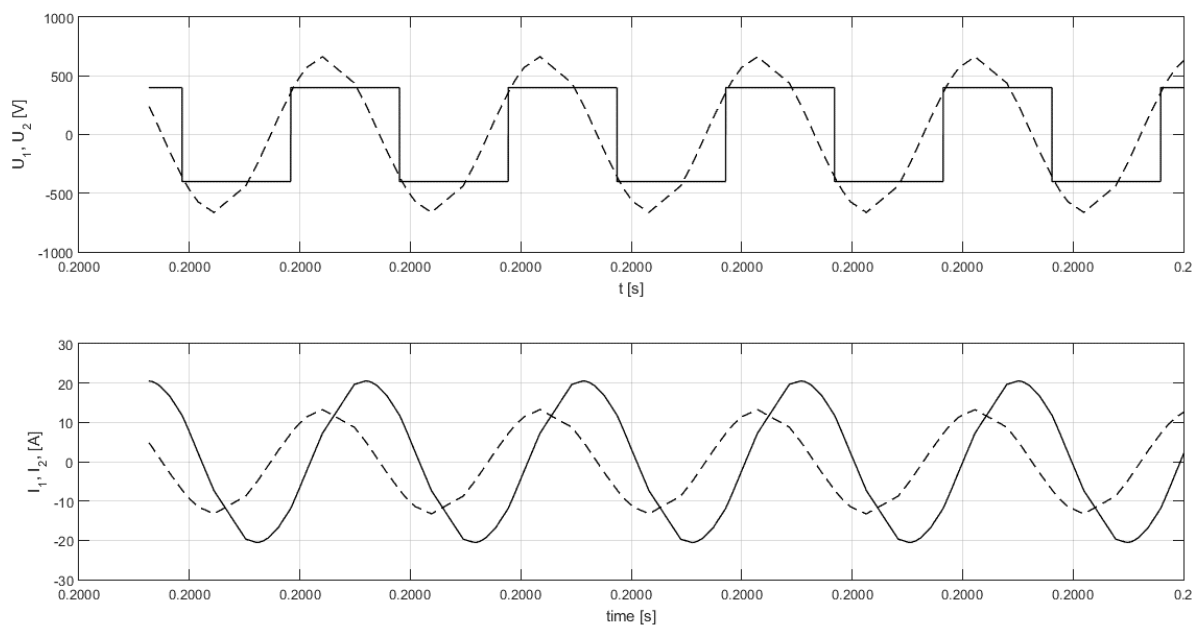


Obr. 4.8. Simulační výsledky při střídě 0,3 a vzájemné indukčnosti 21,95 μ H

Na Obr. 4.9 jsou uvedeny detaily ustáleného stavu simulovaných napětí a proudů při střídě 0,3 a vzájemné indukčnosti 21,95 μH . Obr. 4.10 pak zachycuje stejné veličiny při střídě 0,5.



Obr. 4.9. Simulované průběhy napětí a proudů při střídě 0,3



Obr. 4.10. Simulované průběhy napětí a proudů při střídě 0,5

Z Obr. 4.9 a Obr. 4.10 je dále možné vypořadovat, že snížení střídý primárního napětí vede skutečně na snížení výkonu na zátěži.

Na Obr. 4.9 se objevuje zaoblení primárního napětí, které je způsobeno krokem simulace. Přesnější simulace však vede na dlouhé výpočtové časy a ve výsledku ani není nutná.

Další odlišnost simulace a reálného měření vzniká u sekundárního napětí. To se v simulaci jeví jako sinusové, avšak v reálu je prakticky obdélkové. Tato odlišnost je dána zanedbáním usměrňovače v simulaci. Pro potřeby ověření a nastavení obou regulací je však i tento průběh dostačující.

Na základě uvedené simulace a výsledků z ní je možné prohlásit navrhovanou regulaci za dobrou a je možné ji realizovat.

4.1 Návrh PI regulátoru

Jak bylo řečeno v předchozí kapitole, tak u návrhu PI regulátoru byla stěžejní minimalizace zvlnění akční veličiny (tedy kmitočtu f_{U1}), při zachování kvalitní a rychlé regulace fázového posuvu $\varphi(f_i)$ mezi primárním a sekundárním napětím WPT.

Jedním z východisek by byla aplikace hysterezního členu na akční veličinu, avšak tato volba by vedla na zbytečné prodloužení obslužné funkce přerušení (jak vyplývá z následujícího odstavce).

Jako optimální prostředek k dosažení minimalizace zvlnění f se tedy jeví optimální nastavení proporcionálního zesílení k_p a integrační časové konstanty k_i regulátoru ve spojení s klouzavým průměrem na změřeném poměrném fázovém zpoždění.

Klouzavý průměr na φ plní primárně funkci filtru na chybu měření φ , která vzniká vlivem vzorkovacích period časovače a timeru a vlivem doby obslužení přerušení od PWM1 (viz další kapitola). Jelikož v simulaci se žádné periody vzorkování nevyskytují, tak není tento filtr nutné zavádět přesně. Částečně jeho funkci přebírá RC obvod z Obr. 4.2.

Výsledné nastavení PI regulátoru činí: $k_p = 50000$

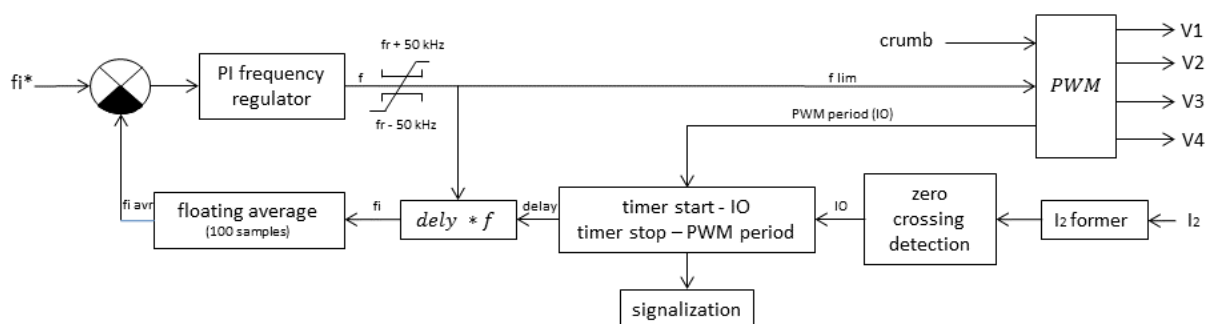
$k_i = 0,001$

5 Implementace řízení do DSP

Jako vstupní měnič systému WPT je použit laboratorní prototyp střídače s SiC JFET moduly. Tento střídač je detailněji popsán v literatuře [5] a [6]. Limity tohoto měniče jsou rozhodující při nastavení mrtvých časů a frekvenčních či výkonových limitů v programu řízení.

Řízení střídače a tedy řízení systému na optimální účinnost a výkon či regulace výkonu je realizováno v DPS Texas Instruments TMS320F28335[7] s využitím MLC Interference [8], [9].

Blokové schéma implementovaného řízení je uvedeno na Obr. 5.1.



Obr. 5.1. Blokové schéma řízení v DSP

Z tohoto blokového schéma je možné definovat použité periférie DSP:

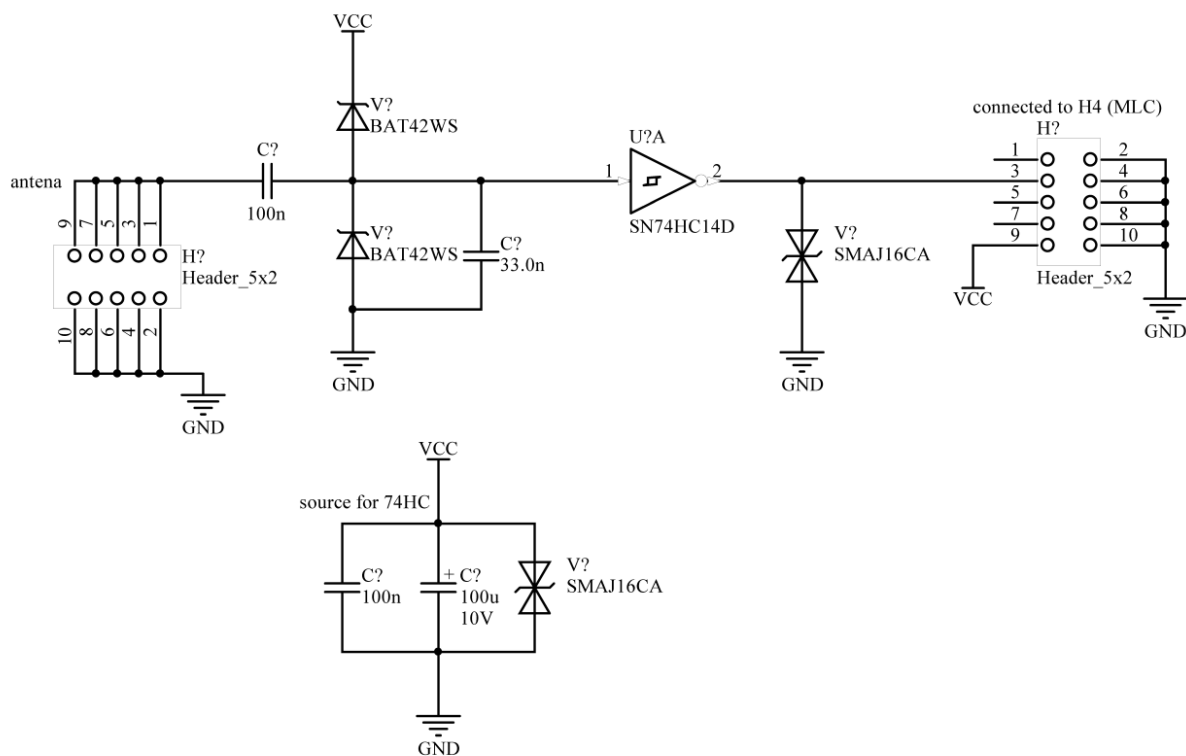
PWM	(1,2,3)
GPIO – input	(55)
timer	(0)
GPIO – output	(48)

Princip řízení na optimální účinnost a výkon a princip regulace výkonu je u implementované verze řízení shodný s již uvedenými principy (spínací diagram se tedy řídí Obr. 3.3).

Blok **I₂ former** je realizován dle obvodového schéma na Obr. 5.2. Vytvarovaný signál vstupuje přes GPIO 55 do DSP. GPIO je přitom nastaveno jako detektor náběžné hrany. Plní tedy funkci bloku **zero crossing detection**.

Blok **signalization** je realizován pomocí GPIO 48 v režimu výstup. LED dioda na tomto GPIO indikuje velikost fázového posuvu.

Funkce dalších bloků z Obr. 5.1 je z předchozích kapitol již zřejmá.



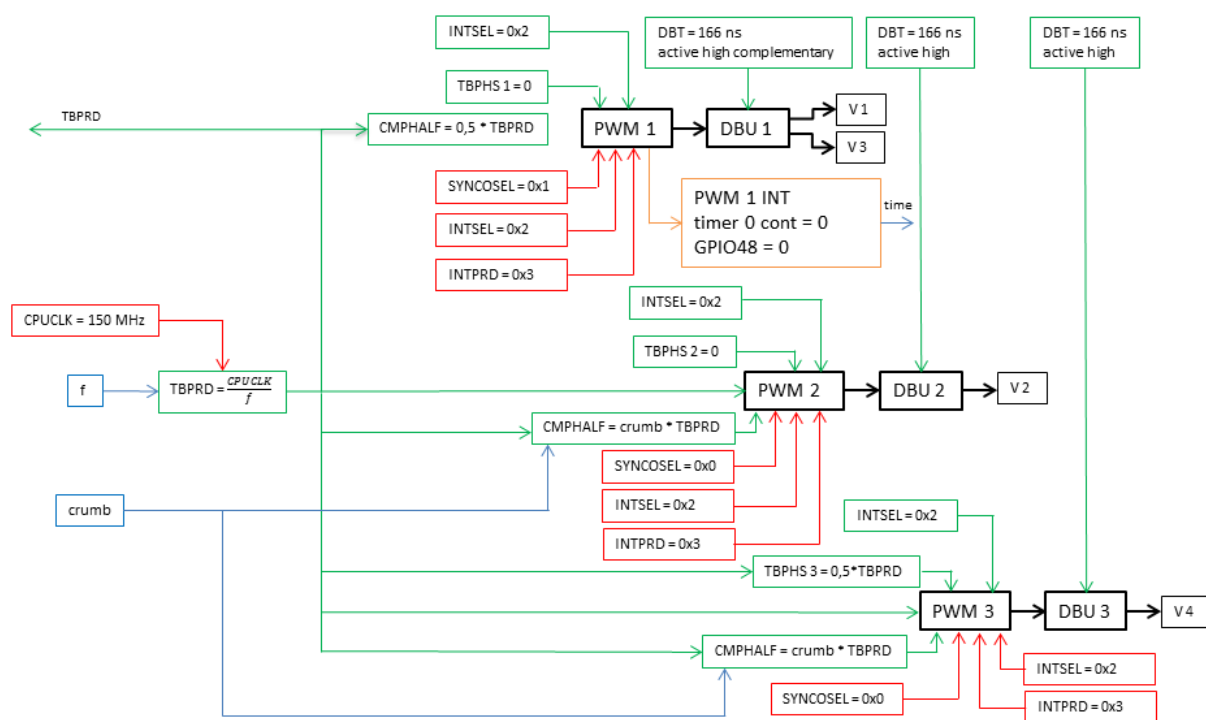
Obr. 5.2. Obvodové schéma bloku I_2 former

Jak bylo zmíněno, na Obr. 5.2 je uvedeno obvodové schéma bloku **I_2 former**. Jeho funkce spočívá ve snímání sekundárního proudu a v jeho následném tvarování na obdélník. Snímání proudu je prováděno pomocí antény, kterou tvoří 10 závitů navinutých na vodič vstupující do usměrňovače. Tvarování signálu zprostředkovává Schmittův klopný obvod. Jelikož je WPT částečně vysokonapěťová aplikace a jelikož WPT pracuje se silným okolním polem, je nutné zabezpečit ochranu MLC a DSP proti přepětí. Ta je zde provedena dvěma transily.

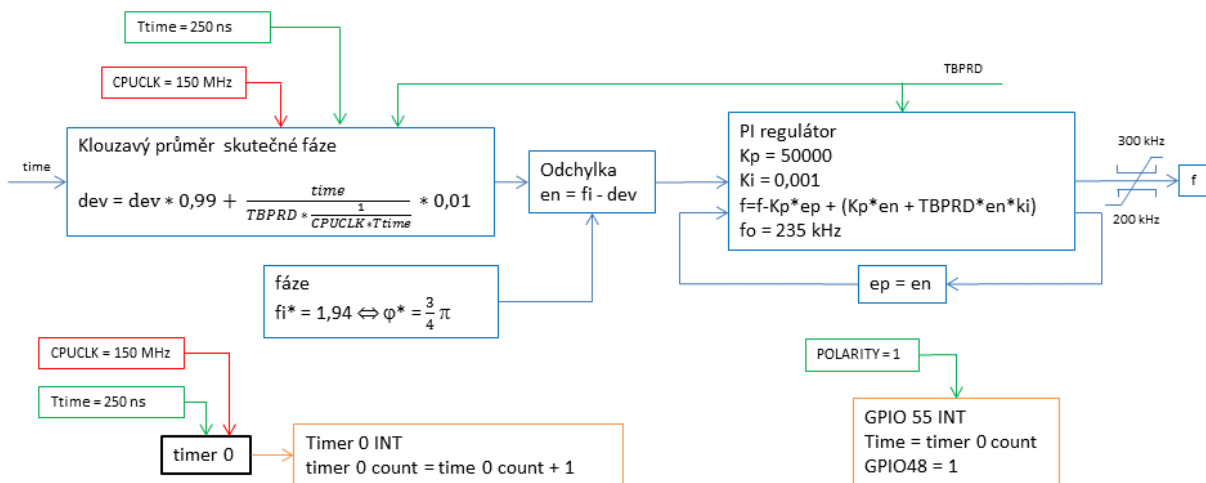
K obvodu na Obr. 5.2 je nutné dodat, že je realizován na univerzální DPS. Z tohoto důvodu nejsou jednotlivé součástky očíslovány.

Propojení bloku **I_2 former** a MLC interferace je z důvodu odstranění vlivu pracovního pole WPT provedeno stíněným kabelem se skroucenými žilami.

Nastavení zmíněných periférií DSP je dobře patrné z Obr. 5.3 a Obr. 5.4. Na Obr. 5.4 je dále uvedena realizace klouzavého průměru a regulátoru v DSP.



Obr. 5.3. Blokové schéma nastavení periférií DSP



Obr. 5.4. Blokové schéma nastavení periférií a regulace v DSP

5.1 Popis regulace

Regulace fáze je založena na detekci průchodu primárního a sekundárního napětí nulou.

Detekce průchodu primárního napětí nulou je realizována přerušením od **PWM1**, které nastává v každé třetí periodě primárního napětí U_1 . Ve vybavené obslužné funkci tohoto přerušení se následně odehrává výpočet regulace a přenastavení PWM periférií 1,2 a 3.

Detekce průchodu sekundárního napětí nulou je řešena prostřednictvím popsaného bloku **I₂ former** a **GPIO 55** v režimu IO vstup s detekcí náběžné hrany.

Na pozadí programu běží **timer 0**, který odměřuje 250 ns úseky. Každých 250 ns vyvolává přerušení, kdy v obslužné funkci **timeru 0** přičítá jedničku do registru timeru 0. K nulování tohoto registru dochází právě v okamžiku třetí periody primárního napětí, tedy v obslužné funkci přerušení od **PWM1**.

V přerušení od **GPIO 55**, tedy v okamžiku náběžné hrany vytvarovaného sekundárního napětí, dojde k uložení hodnoty registru `CpuTimer0.InterruptCount` do proměnné **time**.

Jak již bylo řečeno, další výpočty jsou prováděny v rámci obslužné funkce přerušení od PWM1. Nejprve dojde k výpočtu poměrné fáze pomocí vztahu:

$$dev = \frac{time}{EPwm1Regs.TBPRD * \frac{1}{CPUclk * Ttimer0}} \quad ; Ttimer0 = 250 * 10^{-9} s$$

$$; CPUclk = 150 * 10^6 \text{ Hz} \quad (22)$$

Takto získaná velikost fáze je dále průměrována pomocí klouzavého průměru za 100 period, čímž dostáváme vztah:

$$dev_{(k+1)} = dev_{(k)} * 0,99 + \left(\frac{time_{(k)}}{EPwm1Regs.TBPRD_{(k)} * \frac{1}{CPUclk * Ttimer0}} \right) * 0,01 \quad (23)$$

Tento vztah je dále upraven na konečný tvar:

$$dev_{(k+1)} = dev_{(k)} * 0,99 + \left(\frac{time_{(k)}}{EPwm1Regs.TBPRD_{(k)} * 0,0266667} \right) * 0,01 \quad (24)$$

Z této hodnoty je počítána regulační odchylka dle vztahu:

$$en = fi - dev ; fi \text{ je požadovaná hodnota fáze} \quad (25)$$

Vzniklá regulační odchylka je použita v PI regulátoru, který je realizován vztahem:

$$f_{(k+1)} = f_{(k)} - kp * ep + (kp * en + EPwm1Regs.TBPRD * en * ki)$$

; kp je proporční zesílení regulátoru
; ki je integrační časová konstanta regulátoru
; ep a en jsou regulační odchylky v kroku k a $k+1$ (26)

Dále je provedena operace, která z nové regulační odchylky vytvoří starou

$$ep = en \quad (27)$$

Akční veličinou PI regulátoru je tedy kmitočet primárního napětí. Tento je omezovačem omezen na hodnoty dle (14). Vztah 14 je pro přehlednost uveden ještě jednou zde:

$$\begin{aligned} f_{max} &= f_{hr} + 50 * 10^3 \text{ Hz} \\ f_{min} &= f_{hr} - 50 * 10^3 \text{ Hz} \end{aligned} \quad (14)$$

Zjištěný kmitočet je využit při nastavení PWM periférií během přerušení od **PWM1**. Zde je také důležité nastavení jejich zpoždění a synchronizace při realizaci spínání dle spínacího diagramu z Obr. 3.3. Hlavní PWM periférie je **PWM1**, která realizuje spínání prvků **V1** a **V3**. Podle **PWM1** jsou synchronizovány ostatní periférie a výpočty. **PWM2** realizuje spínání prvku **V4** a **PWM3** pak prvku **V2**. Inicializační nastavení těchto periférií je uvedeno formou printscreenů na Obr. 5.5 až Obr. 5.7.

```
// EPWM module 1 config
EPwm1Regs.TBPRD = (int)(15000000/u); // TBPRD = 1/f * sysclk (15000000)
EPwm1Regs.CMPA.half.CMPA = (int)(0.5*EPwm1Regs.TBPRD); //crumb setting
EPwm1Regs.TBPHS.half.TBPHS = 0; // Set Phase register to zero
EPwm1Regs.TBCTL.bit.CTRMODE = TB_COUNT_UP; // up mode
EPwm1Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
EPwm1Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Clock divided by
EPwm1Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Slave module
EPwm1Regs.TBCTL.bit.PRDL = TB_SHADOW; // Dont update compare registers immediately, but only when counter = 0
EPwm1Regs.TBCTL.bit.SYNCSEL = TB_CTR_ZERO; // sync master

EPwm1Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Use shadow register for updating compare registers
EPwm1Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm1Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO; // load on CTR = Zero
EPwm1Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO; // load on CTR = Zero
EPwm1Regs.AQCTLA.bit.CAU = AQ_CLEAR; // clear actions for EPWM1A, timer incrementing
EPwm1Regs.AQCTLA.bit.ZRO = AQ_SET; // set actions for EPWM1A, timer decrementing
EPwm1Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE; // enable Dead-band module
EPwm1Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC; // Active Hi complementary
EPwm1Regs.DBFED = reg_dead; // falling deadtime
EPwm1Regs.DBRED = reg_dead; // rising deadtime

EPwm1Regs.ETSEL.bit.INTSEL = ET_CTR_PRD; // Select INT on Period event
EPwm1Regs.ETSEL.bit.INTEN = 1; // Enable INT
EPwm1Regs.ETPS.bit.INTPRD = ET_3RD; // Generate INT on 3RD event
EPwm1Regs.ETCLR.bit.INT = 1; // Clear interrupt

// EPWM1 interrupt config
//ISRs is defined in external inetrups up.
interrupt void epwm1_isr(void); //prototype interrupt fromPWM 1
EALLOW; // This is needed to write to EALLOW protected registers
PieVectTable.EPwm1_INT = &epwm1_isr;
EDIS; // This is needed to disable write to EALLOW protected registers
EALLOW;
SysCtrlRegs.PCLKCR0.bit.TBCLKSYNC = 1;
EDIS;
IER |= M_INT3;
PieCtrlRegs.PIEIER3.bit.INTx1 = 1; //PIE MUXed
EINT; // Enable Global interrupt INTM
ERTM; // Enable Global realtime interrupt DBGM
```

Obr. 5.5. Inicializace PWM1

```
EPWM Module 2 config
EPwm2Regs.TBPRD = (int)(15000000/u); // TBPRD = 1/f * sysclk (15000000)
EPwm2Regs.CMPA.half.CMPA = (int)(crumb*EPwm1Regs.TBPRD); //crumb setting
EPwm2Regs.TBPHS.half.TBPHS = (int)(EPwm1Regs.TBPRD*0.5)+3; // Set pi/2 Phase + syns and calculating dellay
EPwm2Regs.TBCTL.bit.CTRMODE = TB_COUNT_UP; // up mode
EPwm2Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
EPwm2Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Clock divided by
EPwm2Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Master module
EPwm2Regs.TBCTL.bit.PRDL = TB_SHADOW; // Dont update compare registers immediately, but only when counter = 0
EPwm2Regs.TBCTL.bit.SYNCSEL = TB_SYNC_IN; //sync to EPWM1

EPwm2Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Use shadow register for updating compare registers
EPwm2Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm2Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO; // load on CTR = Zero
EPwm2Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO; // load on CTR = Zero
EPwm2Regs.AQCTLA.bit.CAU = AQ_CLEAR; // clear actions for EPWM2A, timer incrementing
EPwm2Regs.AQCTLA.bit.ZRO = AQ_SET; // set actions for EPWM2A, timer decrementing
EPwm2Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE; // enable Dead-band module
EPwm2Regs.DBCTL.bit.POLSEL = DB_ACTV_HI; // Active Hi complementary
EPwm2Regs.DBFED = reg_dead; // falling deadtime
EPwm2Regs.DBRED = reg_dead; // rising deadtime

EPwm2Regs.ETSEL.bit.INTSEL = ET_CTR_PRD; // Select INT on Period event
EPwm2Regs.ETSEL.bit.INTEN = 1; // Enable INT
EPwm2Regs.ETPS.bit.INTPRD = ET_3RD; // Generate INT on 3RD event
EPwm2Regs.ETCLR.bit.INT = 1; // Clear interrupt
```

Obr. 5.6. Inicializace PWM 2

```

/ EPWM module 3 config
EPwm3Regs.TBPRD = (int)(150000000/u); // TBPRD = 1/f * sysclk (150000000)
EPwm3Regs.CMPA.half.CMPA = EPwm2Regs.CMPA.half.CMPA; //crumb setting
EPwm3Regs.TBPHS.half.TBPHS = 1; // synchronization delay
EPwm3Regs.TBCTL.bit.CTRMODE = TB_COUNT_UP; // up mode
EPwm3Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1; // Clock ratio to SYSCLKOUT
EPwm3Regs.TBCTL.bit.CLKDIV = TB_DIV1; // Clock divided by
EPwm3Regs.TBCTL.bit.PHSEN = TB_ENABLE; // Slave module
EPwm3Regs.TBCTL.bit.PRDL = TB_SHADOW; // Dont update compare registers immediately, but only when counter = 0
EPwm3Regs.TBCTL.bit.SYNCSEL = TB_SYNC_IN; // sync to EPWM1

EPwm3Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW; // Use shadow register for updating compare registers
EPwm3Regs.CMPCTL.bit.SHDWBMODE = CC_SHADOW;
EPwm3Regs.CMPCTL.bit.LOADAMODE = CC_CTR_ZERO; // load on CTR = Zero
EPwm3Regs.CMPCTL.bit.LOADBMODE = CC_CTR_ZERO; // load on CTR = Zero
EPwm3Regs.AQCTLA.bit.CAU = AQ_CLEAR; // clear actions for EPWM3A, timer incrementing
EPwm3Regs.AQCTLA.bit.ZRO = AQ_SET; // set actions for EPWM3A, timer decrementing
EPwm3Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENABLE; // enable Dead-band module
EPwm3Regs.DBCTL.bit.POLSEL = DB_ACTV_HI; // Active LO complementary
EPwm3Regs.DBFED = reg_dead; // falling deadtime
EPwm3Regs.DBRED = reg_dead; // rising deadtime

EPwm3Regs.ETSEL.bit.INTSEL = ET_CTR_PRD; // Select INT on Period event
EPwm3Regs.ETSEL.bit.INTEN = 1; // Enable INT
EPwm3Regs.ETPS.bit.INTPRD = ET_3RD; // Generate INT on 3RD event
EPwm3Regs.ETCLR.bit.INT = 1; // Clear interrupt

ysCtrlRegs.PCLKCR0.bit.TBCLKSYNC = 1; //Configuration is done, now start their synchronization

```

Obr. 5.7. Inicializace PWM 3

V inicializaci PWM je stěžejním počáteční kmitočet f , který je nastaven blízko hlavního rezonančního kmitočtu. Tedy při spuštění platí:

$$f_{(k=0)} \approx f_{hr} \quad (28)$$

Další důležitá hodnota v inicializaci je nastavení velikost mrtvých časů, tedy:

$$reg_{dead} = 25 \quad (29)$$

Přenastavení PWM periférií během přerušení od **PWM1** je prováděno dle následujících vztahů:

$$EPwm1Regs.TBPRD = \frac{CPUclk}{f} \quad (30)$$

; kde se velmi nabízí optimalizace výpočtu přechodem z f na T

$$EPwm2Regs.TBPRD = EPwm1Regs.TBPRD \quad (31)$$

$$EPwm3Regs.TBPRD = EPwm1Regs.TBPRD \quad (32)$$

$$EPwm1Regs.CMPA.half.CMPA = 0,5 * EPwm1Regs.TBPRD \quad (33)$$

$$EPwm2Regs.CMPA.half.CMPA = crumb * EPwm1Regs.TBPRD \quad (34)$$

$$EPwm3Regs.CMPA.half.CMPA = EPwm2Regs.CMPA.half.CMPA \quad (35)$$

$$EPwm2Regs.TBPHS.half.TBPHS = EPwm1Regs.TBPRD * 0,5 + 3 \quad (36)$$

Dále dochází v přerušení od **GPIO 55** k nastavení GPIO 48 na logickou jedničku a tedy k rozsvícení LED na MLC interface. V přerušení od **PWM1** pak dochází k jeho nastavení na logickou nulu. Tímto způsobem je signalizována velikost fázového posuvu mezi primárním a sekundárním napětím.

Inicializační nastavení **timeru 0** a **GPIO55** je dobře patrné z Obr. 5.8, Obr. 5.9 a z předchozího popisu. Z důvodu ucelenosti jsou zde však také uvedeny printscreeny jejich inicializace.

```

// timer settings
void tim_set(void){
    interrupt void cpu_timer0_isr(void); // Prototype statements for functions found within this file.

    //ISRs is defined in external inetrupts bellow.
    //InitSysCtrl(); // Initialize System Control:PLL, WatchDog, enable Peripheral Clocks
    //DINT; // Disable CPU interrupts
    //InitPieCtrl(); // Initialize the PIE control registers to their default state.
    //Disable CPU interrupts and clear all CPU interrupt flags:
    //IER = 0x0000;
    //IFR = 0x0000;
    //InitPieVectTable(); // Initialize the PIE vector table with pointers to the shell Interrupt Service Routines (ISR).

    EALLOW; // This is needed to write to EALLOW protected registers
    PieVectTable.TINT0 = &cpu_timer0_isr;
    EDIS; // This is needed to disable write to EALLOW protected registers
    InitCpuTimers(); //initialize the CPU timers

    #if (CPU_FRQ_150MHZ)
        // Configure CPU-Timer 0, to interrupt :
        // 150MHz CPU Freq, 0.25 usecond Period (in uSeconds)
        ConfigCpuTimer(&CpuTimer0, 150, 0.25);
    #endif
    // #if (CPU_FRQ_100MHZ)
    //     // Configure CPU-Timer 0 to interrupt:
    //     // 100MHz CPU Freq, 0.25 usecond Period (in uSeconds)
    //     ConfigCpuTimer(&CpuTimer0, 100, 0.25)
    // #endif

    //CpuTimer0Regs.TCR.all = 0x4001; // Use write-only instruction to set TSS bit = 0
    CpuTimer0Regs.TCR.bit.TSS = 0; // 1 = Stop timer, 0 = Start/Restart Timer
    IER |= M_INT1; // Enable CPU int1 which is connected to CPU-Timer 0
    PieCtrlRegs.PIEIER1.bit.INTx7 = 1; // Enable TINT0 in the PIE: Group 1 interrupt 7
    // Enable global Interrupts and higher priority real-time debug events:
    EINT; // Enable Global interrupt INTM
    ERTM; // Enable Global realtime interrupt DBGM
}
//

```

Obr. 5.8. Inicializace časovače Timer0

```

//interrupt from GPIO52 and 55
void init_fromGPIO_int(void){
    // Prototype statements for functions found within this file.
    interrupt void xint7_isr(void);

    // Step 1. Initialize System Control:
    // PLL, WatchDog, enable Peripheral Clocks
    InitSysCtrl();

    // Step 3. Clear all interrupts and initialize PIE vector table:
    // Disable CPU interrupts
    DINT;

    // Initialize PIE control registers to their default state.
    // The default state is all PIE interrupts disabled and flags
    // are cleared.
    InitPieCtrl();

    // Disable CPU interrupts and clear all CPU interrupt flags:
    IER = 0x0000;
    IFR = 0x0000;

    // Initialize the PIE vector table with pointers to the shell Interrupt
    // Service Routines (ISR).
    InitPieVectTable();

    // Interrupts that are used in this example are re-mapped to
    // ISR functions found within this file.
    EALLOW; // This is needed to write to EALLOW protected registers
    PieVectTable.XINT7 = &xint7_isr;
    EDIS; // This is needed to disable write to EALLOW protected registers

    // Step 5. User specific code, enable interrupts:

    // Clear the counters
    Xint7Count = 0; // Count XINT2 interrupts
    LoopCount = 0; // Count times through idle loop

    // Enable Xint1 and XINT2 in the PIE: Group 1 interrupt 4 & 5
    // Enable int1 which is connected to WAKEINT:
    PieCtrlRegs.PIECTRL.bit.ENPIE = 1; // Enable the PIE block
    PieCtrlRegs.PIEIER12.bit.INTx5 = 1; // Enable PIE Group 12 INT7
    IER |= M_INT12; // Enable CPU int12
    EINT; // Enable Global Interrupts

    // GPIO52 and GPIO55 are inputs
    EALLOW;

    GpioCtrlRegs.GPBMUX2.bit.GPIO55 = 0; // GPIO
    GpioCtrlRegs.GPBDIR.bit.GPIO55 = 0; // input
    GpioCtrlRegs.GPBQSEL2.bit.GPIO55 = 0; // XINT7 Synch to SYSCLKOUT only

    GpioCtrlRegs.GPBCTRL.bit.QUALPRD0 = 10; // Each sampling window is 50*SYSCLKOUT
    EDIS;

    // GPIO0 is XINT1, GPIO1 is XINT2
    EALLOW;
    GpioIntRegs.GPIOXINT7SEL.bit.GPIOSEL = 55; // XINT2 is GPIO55
    EDIS;

    // Configure XINT1
    XIntruptRegs.XINT7CR.bit.POLARITY = 1; // rising edge interrupt ; Us is inverted opposite from U2

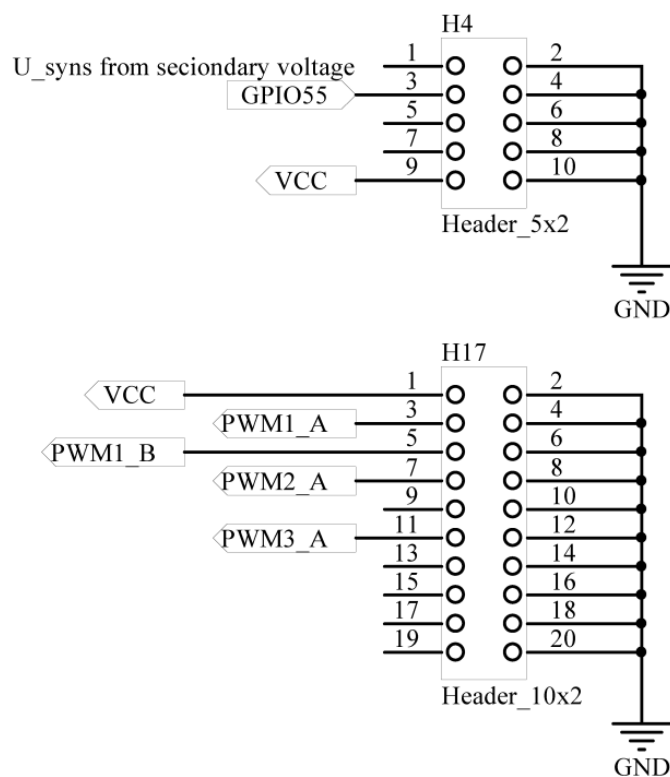
    // Enable XINT1 and XINT2
    XIntruptRegs.XINT7CR.bit.ENABLE = 1; // Enable XINT2
}
//

```

Obr. 5.9. Inicializare GPIO 55

Poslední nastavení se týká **GPIOxy** ve smyslu input/output či periférie/IO. To vychází z výše uvedených nastavení a použitých periférií.

Poslední důležitou věcí tohoto popisu je pinout tohoto řízení na MLC interfeace. Tento pinout je uveden na Obr. 5.10.



Obr. 5.10. Pinout řízení na MLC interfeace

5.2 Nastavení požadovaného φ^* v DSP

Nastavení požadovaného fázového posuvu mezi primárním a sekundárním napětím realizuje proměnná fi^* . Tato hodnota je sice také v poměrných jednotkách, avšak nikoli dle (15), respektive (17) a (18). Velikost požadovaného úhlu fi^* v DSP je ovlivněna především skutečností vyplívající z nastavení přerušení od PWM periférií a timeru. Dále je nastavení ovlivněno reálnými časovými konstantami použitých polovodičových součástek a výpočetní dobou přerušení v DSP.

Na Obr. 5.5 je vyobrazeno nastavení přerušení od **PWM1** a vyvolání obslužné funkce tohoto přerušení. Z tohoto nastavení je zřejmé, že k vyvolání přerušení a tedy i obslužné funkce, dochází každou třetí periodu primárního napětí. Nikoli každou, jak bylo uvažováno v simulaci a základních vztazích.

Lze však stanovit jednoduchý přepočet pomocí vztahu:

$$fi = 1,64 + \varphi_{U_1 \rightarrow U_2} * \frac{4}{10\pi} \quad (37)$$

Poté pro nastavení optimální fáze v DSP platí

$$fi_{optimal} = 1,94 \quad (38)$$

5.3 Komunikace

Komunikace DPS s ostatními komponenty měřícího stanoviště dle literatury [1] a [2] je nezbytná. V budoucnosti tato komunikace přejde v bezdrátovou komunikaci mezi primární a sekundární stranou WPT.

Komunikace probíhá na pozadí programu v hlavním while cyklu prostřednictvím USB portu na MLC interfece. Komunikované veličiny jsou kmitočet f , střída *crumb* a mrtvé časy d .

Komunikace se řídí protokolem:

- start_character – x
- end-character – X
- adresování ani kontrola na chyby nejsou prováděny.

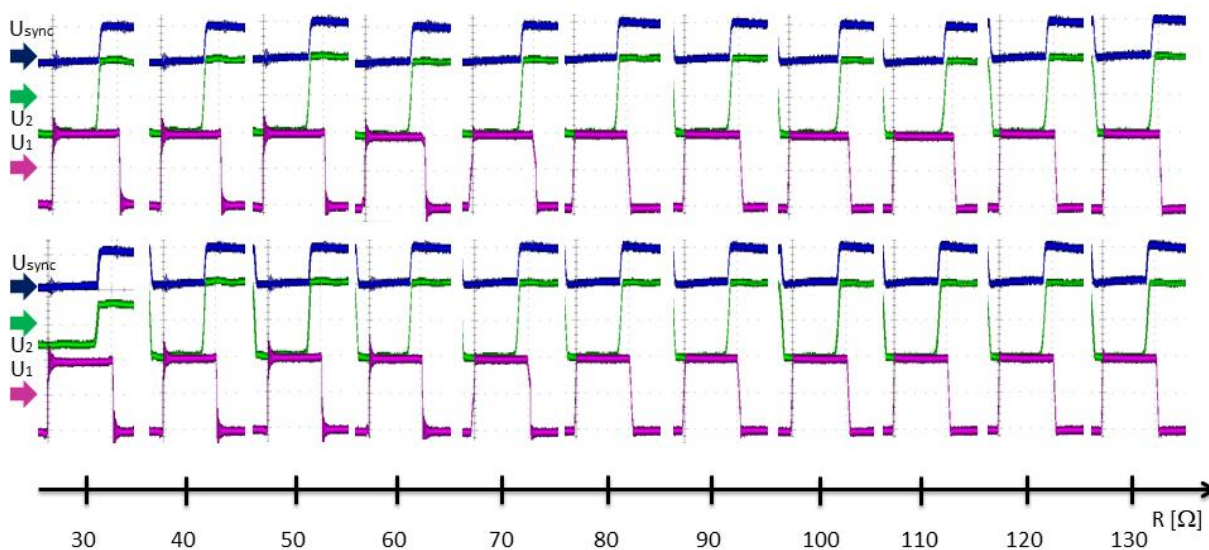
6 Ověření řízení pomocí měření

6.1 Ověření řízení na optimální účinnost a výkon

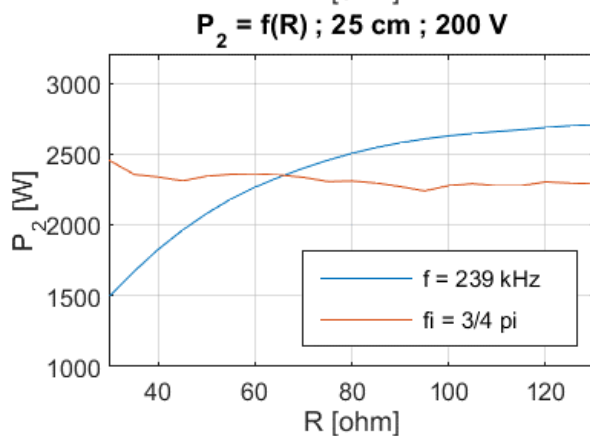
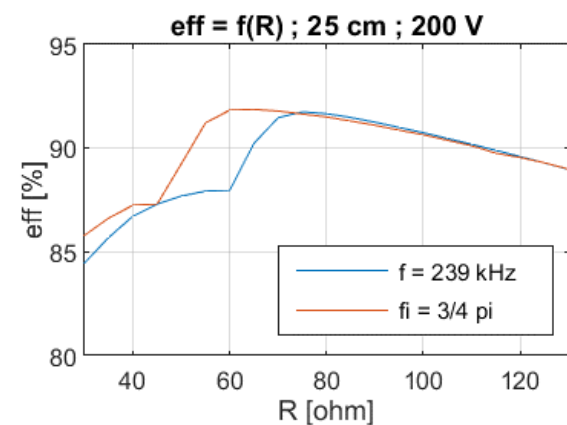
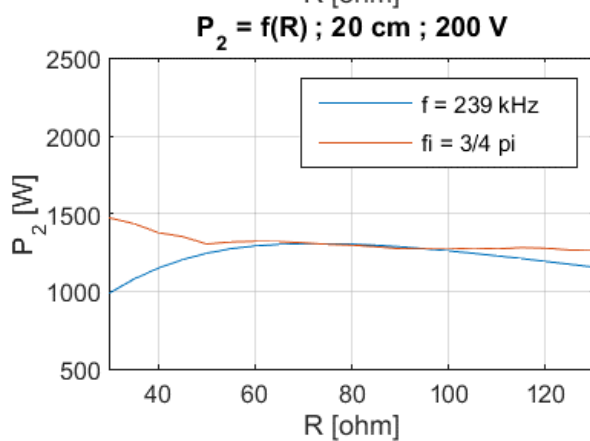
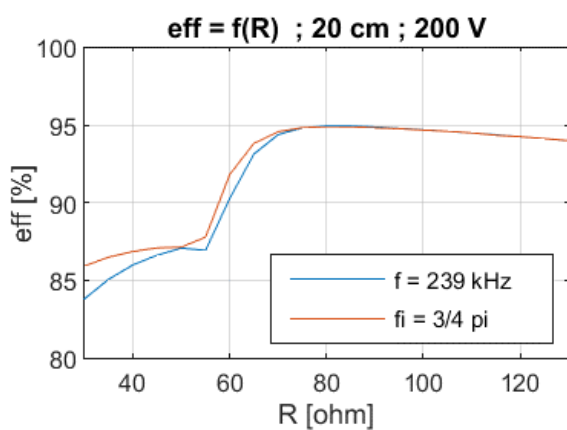
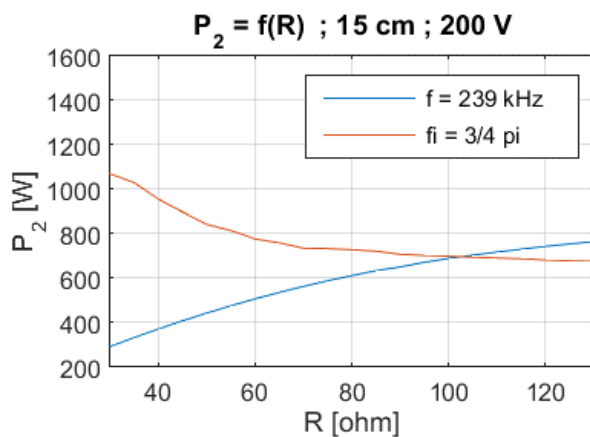
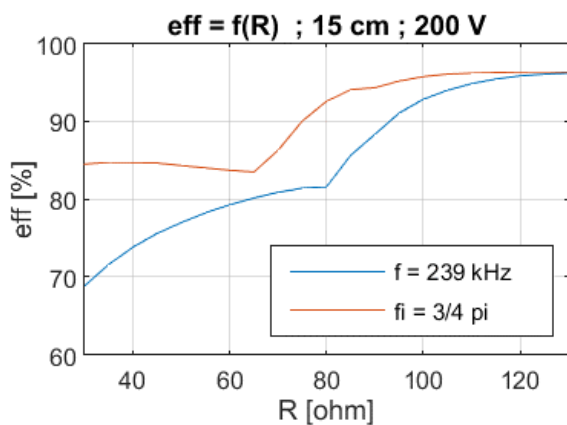
Ověření řízení na optimální účinnost a výkon bylo provedeno na měřicím stanovišti [2] za pomoci nového měřicího skriptu *measure_point*. Tento skript změří dostupné obvodové veličiny, zjistí nastavené hodnoty zdroje a zátěže a následně je uloží do nového řádku výstupní matice (rozšíří ji o tento řádek). Mimo toho také dopočte účinnost, nastaví rozsahy osciloskopu a pořídí z něj print-screen. Takto získané matice z měření na regulovaném systému WPT jsou použity pro vykreslení následujících grafů.

Hlavním cílem měření je ověřit teoretický předpoklad o možnosti dosáhnout optimálního průniku oblasti maximální účinnosti a maximálního výkonu pomocí udržování zvoleného fázového posuvu mezi primárním a sekundárním napětím. Toto potvrzuje Obr. 6.2, ze kterého je patrné, že dochází ke značné optimalizaci výkonu a to jak z pohledu jeho konstantnosti, tak z pohledu jeho velikosti. Dále je na Obr. 6.2 také patrné zlepšení účinnostních poměrů a to především v oblastech malých velikostí zátěže. Poslední krok v ověření správné regulace zachycuje Obr. 6.1. Na tomto obrázku jsou uvedeny detaily printscreenů z osciloskopu při (spodní část) a bez (horní část) regulace, ze kterých je patrná neměnnost fázového posuvu mezi primárním a sekundárním napětím v případě regulovaného systému.

Parametr f_i na Obr. 6.1 až Obr. 6.2 znamená skutečný posuv primárního a sekundárního napětí, tedy $\varphi_{U_1 \rightarrow U_2}$ (nikoli f_i v DSP) .



Obr. 6.1. Printscreeny z osciloskopu s a bez řízení na optimální účinnost a fázi



Obr. 6.2. Ověření správné funkce řízení na optimální účinnost a výkon

6.1.1 Optimalizace systému WPT pro malé zátěže

Detailnější prověření vlastností regulace je uvedeno na Obr. 6.3 až Obr. 6.5. Na základě těchto výsledků z detailnějšího měření lze vyvodit závěr o možnosti optimalizace systému WPT pro malé hodnoty zátěže za pomoci navržené regulace.

Parametr φ na Obr. 6.3 až Obr. 6.5 znamená skutečný posuv primárního a sekundárního napětí, tedy $\varphi_{U1 \rightarrow U2}$ (nikoli φ v DSP).

Pojmem malá hodnota zátěže se zde rozumí velikost odporu DC zátěže menší než jeho optimální hodnota. Optimální hodnota je pro zkoumanou sério-sériovou konfiguraci WPT definována v habilitační práci Ing. Vladimíra Kindla Ph.D. jako:

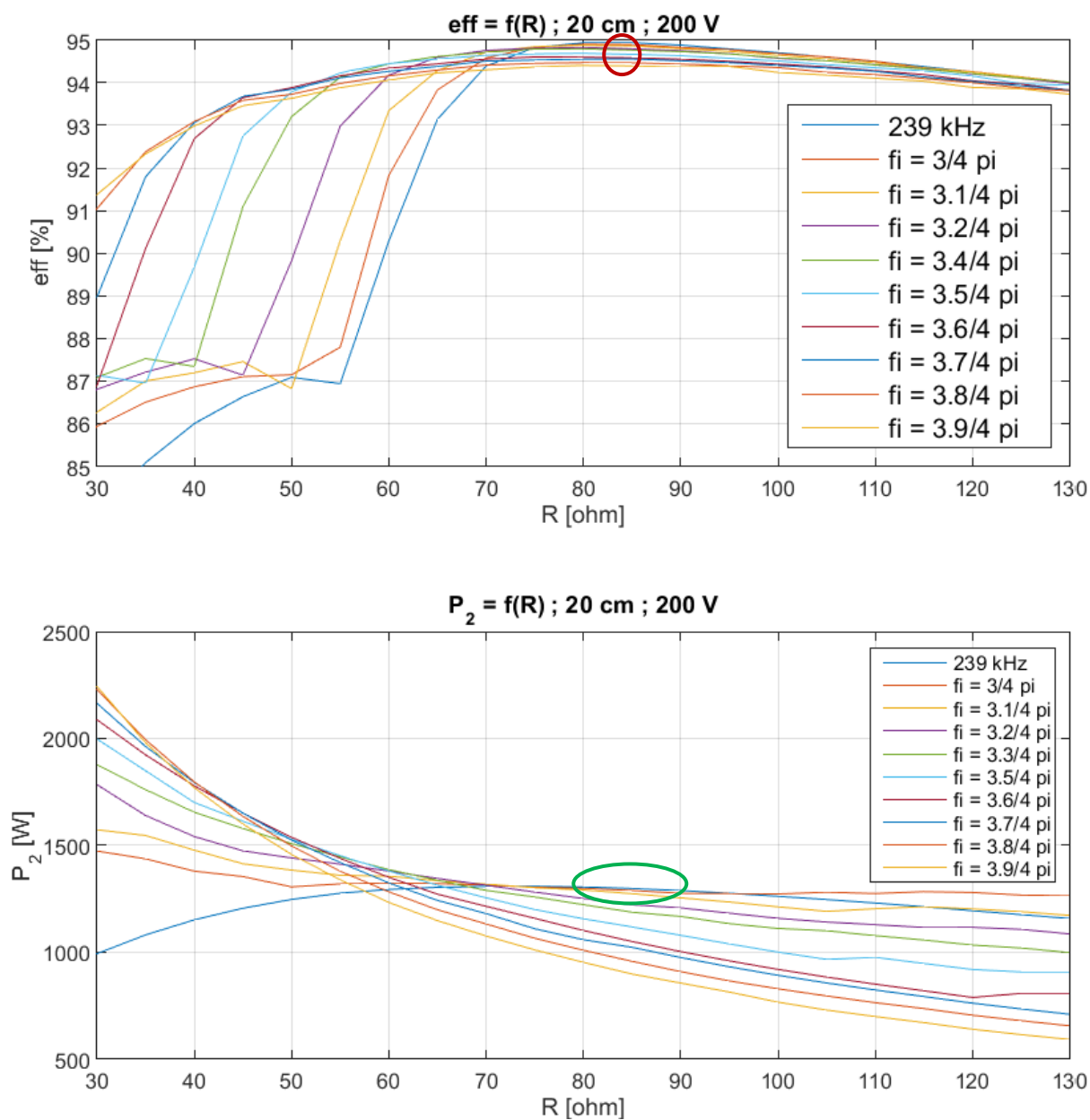
$$Z_{ZS-úinnost} = \sqrt{\frac{R_2(R_1 R_2 + M^2 \omega^2)}{R_1}} \quad (39)$$

Nebo ji lze hrubě stanovit ze zjištěných charakteristik účinnosti jako odpor v oblasti, kde se začínou scházet účinnosti při jednotlivých parametrech. Tato oblast je na Obr. 6.3 vyznačena červeně. Případně lze tento odpor stanovit jako odpor při nejvyšší účinnosti neregulovaného systému na optimálním kmitočtu. Tato oblast je na Obr. 3.6 vyznačena zeleně.

V uvedené oblasti malých odporů je patrné značné navyšování účinnosti systému WPT při fázových posuvech $\varphi \rightarrow \pi$. Zároveň však dochází ke snižování maximální účinnosti. Jako nevýhodnější kompromis se pak jeví fázový posuv $\varphi = \frac{3,8}{4} \pi$.

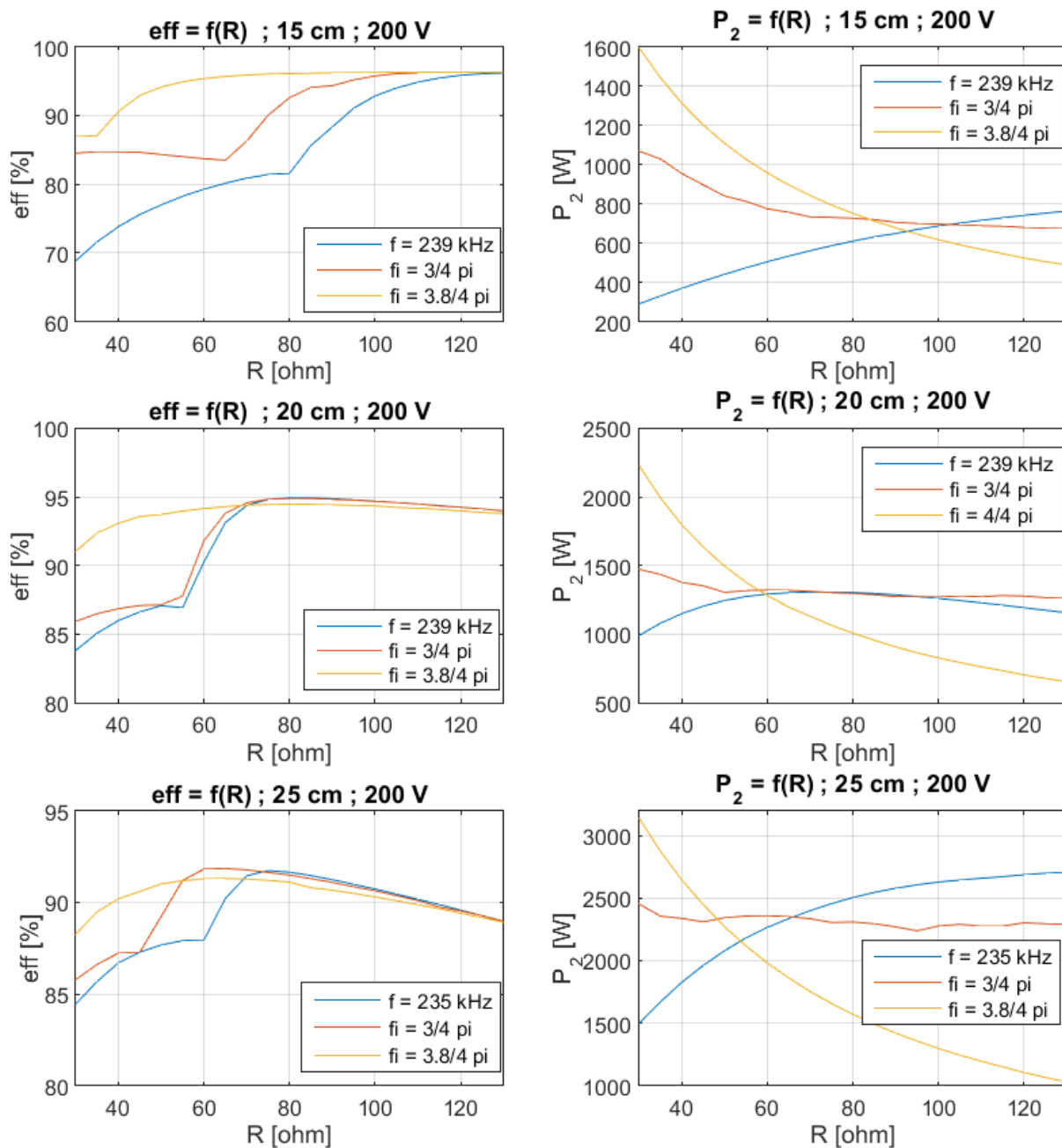
Ve spodní části Obr. 6.5 je uvedena závislost DC výkonu na zátěži. Zde je zřejmé, že pro oblast malých odporů dochází ke značnému navyšování výkonu na zátěži při zvyšování φ , což je pro popisovanou optimalizaci velice výhodné. Naopak pro vyšší hodnoty zátěže výkon klesá. Podstatou této optimalizace však je, že odpor zátěže bude vždy nižší než hodnota optimálního odporu, nejlépe však nižší než $\frac{5}{11}$ optimálního odporu. Poté bude vždy docházet k navýšení výkonu.

Tato optimalizace systému WPT pro malé hodnoty zátěže je výhodná i z hlediska dalšího vývoje, neboť usnadní optimalizaci zátěže z hlediska účinnosti. Druhý přínos pak spočívá v přenášení výkonu převážně proudem, nikoli napětím, což je nesmírná výhoda pro plánované aplikace v elektro-mobilitě.



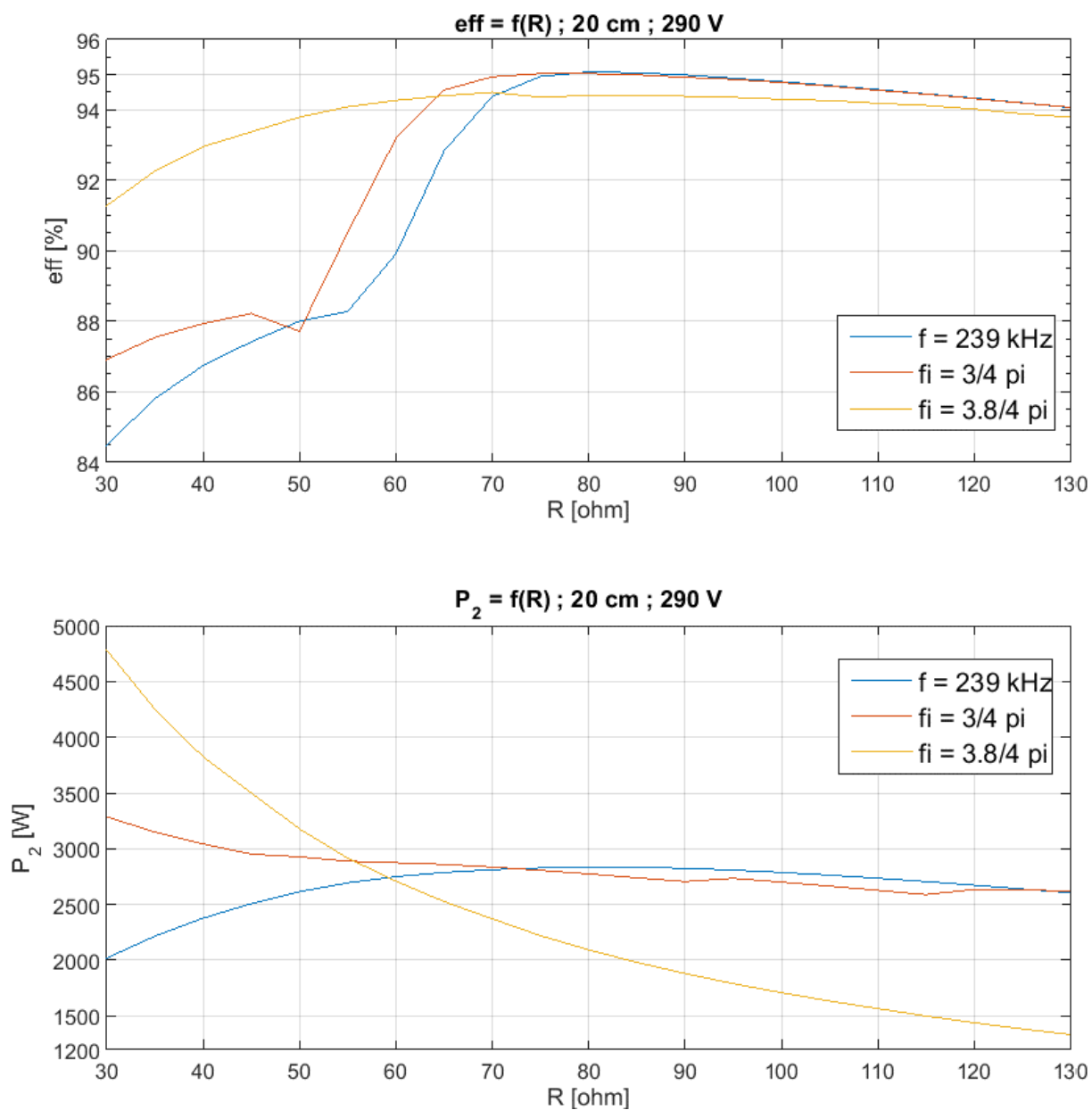
Obr. 6.3. Vliv navyšování požadovaného fázového posuvu

Obr. 6.4 doplňuje předchozí Obr. 6.3 o různé velikosti přenosové vzdálenosti. Z tohoto obrázku je patrné, že optimalizace WPT pro malé hodnoty zátěže je opodstatněná pro všechny tři uvažované přenosové vzdálenosti.



Obr.6.4. Vliv požadovaného fázového posuvu při různých přenosových vzdálenostech

Na Obr. 6.5 jsou uvedeny průběhy při maximálním dosaženém výkonu, který je v maximu omezen maximálním proudem zdroje Californian Instrument o hodnotě 19 A.



Obr. 6.5. Vliv velikosti požadovaného posuvu při vysokém výkonu

6.2 Ověření regulace výkonu

Ověření regulace výkonu bylo prováděno pomocí skriptu *measure_point*, stejně jako v předchozím odstavci. Výsledky z měření jsou uvedeny na Obr. 6.7. V levé části tohoto obrázku jsou uvedeny výsledky z měření při současném řízení na optimální účinnost a výkon. V pravé části obrázku jsou pak výsledky při konstantním (optimálním z hlediska účinnosti) kmitočtu primárního napětí.

Jako vedlejší závěr z tohoto měření lze říci, že regulace na optimální účinnost a výkon je přínosná i při snižování střídý primárního napětí.

Z grafu výkonů je patrná očekávaná závislost výkonu na střídě, kdy nižší střída vede na nižší výkon s tím, že pokles je nelineární.

Z grafu účinnosti je zřejmý nežádoucí vliv snižování střídý na účinnost. Tento vliv je částečně kompenzován v případě současné regulace na optimální účinnost a výkon. Další závěry a regulace jsou proto prováděny při současném řízení na optimální účinnost a výkon.

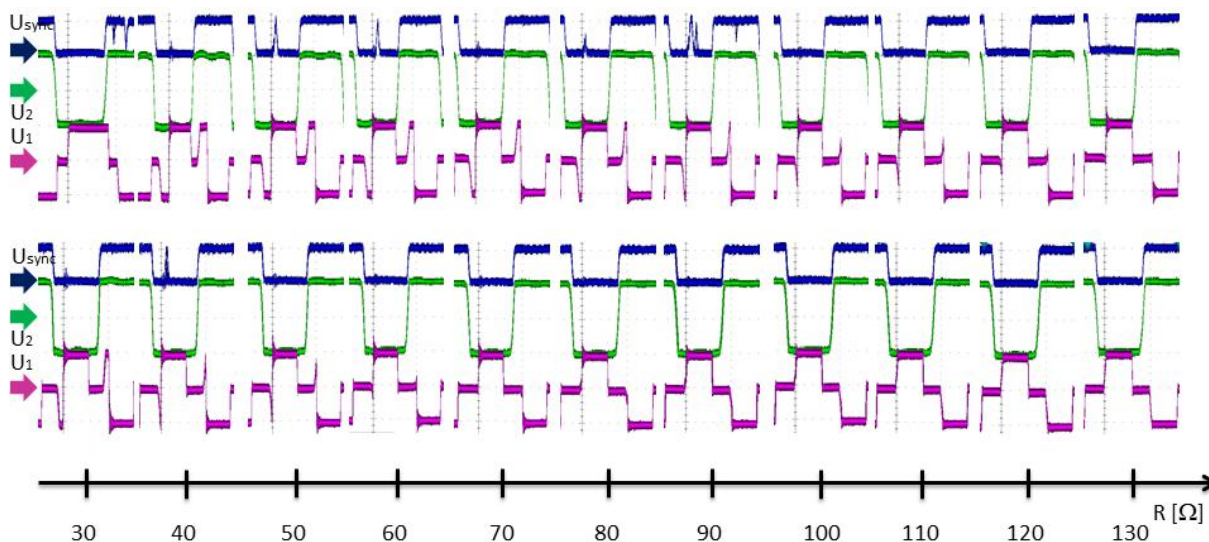
Na základě Obr. 6.7 lze stanovit interval střídý, při kterém je účinnost vyšší než 80 % a to na

$$crumb \in < 0,3 ; 0,5 > \quad (40)$$

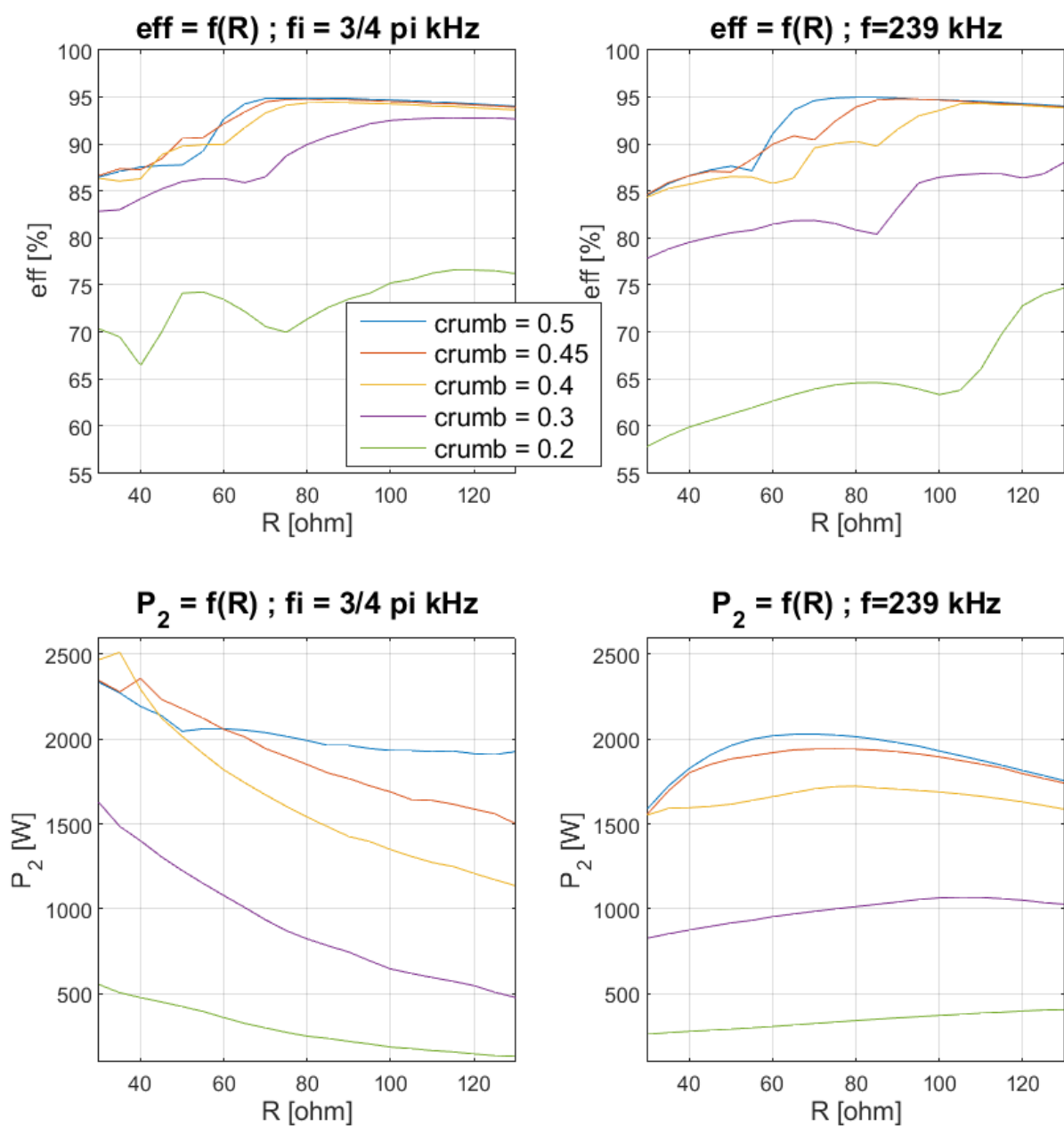
Při uvažovaném rozsahu regulace výkonu pomocí střídý dochází k regulaci výkonu v rozmezí 43 – 100 % P_2 při optimálním odporu.

Parametr f_i na Obr. 6.6 až Obr. 6.7 znamená skutečný posuv primárního a sekundárního napětí, tedy $\varphi_{U_1 \rightarrow U_2}$ (nikoli f_i v DSP).

Na Obr. 6.6 jsou uvedeny detaily printscreenů osciloskopu při střídě 0,3 s (spodní část) a bez (horní část) současné regulace na optimální účinnost a výkon. Z tohoto obrázku je zřejmé, že současná regulace na účinnost a výkon má také příznivý vliv na tvar průběhu primárního napětí U_1 . Z Obr. 6.6 je také patrná tvarová shoda průběhů se simulací.



Obr. 6.6. Detaily printscreenů při regulaci fáze s a bez současného řízení na optimální účinnost a výkon.



Obr. 6.7. Vliv regulace výkonu

7 Závěr

V této výzkumné zprávě byly shrnuty vlastnosti systému WPT, které opodstatňují navrhované řízení na optimální účinnost a výkon a regulaci výkonu. Zpráva také uvádí základní vztahy s jejich odvozením, které jsou použity při řízení a regulaci.

Popsané řízení na optimální účinnost a výkon je založené na přesném nastavení fázového posuvu mezi primárním a sekundárním napětím systému WPT.

Popsaná regulace výkonu je založena na změně střídý primárního obdélníkového napětí.

Dále jsou ve zprávě uvedeny základní principy regulace a jejich bloková schémata, na jejichž základu byla sestava simulace řízení na optimální účinnost a výkon s regulací výkonu. Simulace je provedena v prostředí Matlab – Simulink/Plecs a to s důrazem na její přehlednost. Uvedená simulace neobsahuje detailní model samotného přenosu výkonu, nýbrž jen jeho zjednodušenou variantu, která je pro potřeby simulace řízení i regulace zcela postačující.

Pomocí sestavené simulace bylo odsimulováno řízení na optimální účinnost a výkon s regulací výkonu. Výsledky této simulace dokazují správnost návrhu regulace a nastavení regulátorů.

Simulační schéma, nastavení regulátorů a výsledky simulace byly použity pro implementaci řízení a regulace do DSP. Bylo vytvořeno blokové schéma regulace v DSP a schéma detailního nastavení DSP. Tato schémata byla detailněji popsána.

Na základě experimentálního ověření správné funkce řízení na optimální účinnost a výkon s regulací výkonu je možné vyvodit následující závěry.

Řízení na optimální účinnost a výkon, které bylo popsáno v této práci, vede při požadovaném fázovém posuvu mezi primárním a sekundárním napětím $\varphi_{U_1-U_2 \text{ optimal}} = \frac{3}{4} \pi$ na dokonalý průnik maximální účinnosti a výkonu na systému WPT. Při vyšších požadovaných fázových posuvech dochází k optimalizování systému WPT pro malé hodnoty zátěže. Tato optimalizace se projevuje značným nárůstem účinnosti a výkonu v oblastech malých zátěží. Naopak, při větších zátěžích dochází k poklesu výkonu při účinnostech shodných s neregulovaným systémem WPT.

Regulace výkonu je přínosná pouze při současném řízení na optimální účinnost a výkon, kdy dochází jen k minimálnímu vlivu střídý na účinnost systému WPT. Poté je možné regulovat výkon v rozsahu 43 – 100 % P_2 při optimálním odporu a střídě 0,5. Střídý nižší než 0,3 jsou nevhodné z hlediska značného poklesu účinnosti.

Celkově lze popsané řízení na optimální účinnost a výkon s regulací výkonu označit za funkční s výbornými dynamickými vlastnostmi a přesností při současné robustnosti a jednoduchosti systému, neboť je využíváno pouze jednoho vstupu do DSP v podobě synchronizace na náběžnou hranu sekundárního napětí a komunikace velikosti výkonu.

Dále je popisované řízení a regulace výhodná pro další vývoj na systému WPT.

Literatura

- [1] M. Zavřel, Měřicí stanoviště a měření na systému WPT, Research work RICE, FEL, ZČU, n: 22190-018-2016.
- [2] M. Zavřel, Základní měření na systému WPT, Research work RICE, FEL, ZČU, n: 22190-019-2016.
- [3] V. Kindl, M. Jára, P. Drábek, T. Kavalír, Možnosti kompenzace rezonanční vazby systému bezkontaktního nabíjení elektrických vozidel, Research work, RICE, FEL, ZČU n: 22190-09-2015.
- [4] V. Kindl, Habilitační práce, FEL, ZČU v Plzni, Plzeň, ROZPRACOVANÝ DOKUMENT.
- [5] M. Jára, 1200 V střídač s SiC moduly, Functional sample, RICE, FEL, ZČU, n: 22190-FV021-2013.
- [6] M. Jára, Stavba laboratorního prototypu 1200V střídač s SiC JFET spínači, Research work, RICE, FEL, ZČU, n: 22190-015-2012.
- [7] TEXAS INSTRUMENTS. *Datasheets TMS320F28335* [online]. [cit. 2017-04-28]. Dostupné z: <http://www.ti.com/product/TMS320F28335/technicaldocuments>
- [8] KOŠAN, T. MLC interface - vývojový kit pro víceúrovňové měniče s procesorem a FPGA. Plzeň : Západočeská univerzita v Plzni, 2012.
- [9] KOŠAN, T. Mikrokontrolerový modul TMS320F28335 pro MLC interface. Plzeň : Západočeská univerzita, 2013.

Seznam obrázků

Obr. 2.1. Výkonové a účinnostní mapy neregulovaného systému WPT	8
Obr. 2.2. Detail oscilografů při hlavním rezonančním kmitočtu a při optimálním kmitočtu	8
Obr. 1.1. Principiální schéma řízení na optimální účinnost a výkon	10
Obr. 3.2. Principiální schéma regulace výkonu	11
Obr. 3.3 Spínací diagram	12
Obr. 3.4. Topologie střídače Obr. 3.5. Primární napětí při střídě 0,3	12
Obr. 4.1. Simulační schéma	13
Obr. 4.2. Simulační schéma – blok Control and PWM	14
Obr. 4.3. Simulační schéma – blok Power	14
Obr. 4.4. Simulační schéma – blok Transfer	15
Obr. 4.5. Simulační schéma – blok Load	15
Obr. 4.6. Simulační výsledky při střídě 0,5 a vzájemné indukčnosti 21,95 μH	16
Obr. 4.7. Simulační výsledky při střídě 0,5 a vzájemné indukčnosti 10,95 μH	17
Obr. 4.8. Simulační výsledky při střídě 0,3 a vzájemné indukčnosti 21,95 μH	17
Obr. 4.9. Simulované průběhy napětí a proudů při střídě 0,3	18
Obr. 4.10. Simulované průběhy napětí a proudů při střídě 0,5	18
Obr. 5.1. Blokové schéma řízení v DSP	20
Obr. 5.2. Obvodové schéma bloku I_2 former	21
Obr. 5.3. Blokové schéma nastavení periférií DSP	22
Obr. 5.4. Blokové schéma nastavení periférií a regulace v DSP	22
Obr. 5.5. Inicializace PWM1	24
Obr. 5.6. Inicializace PWM 2	24
Obr. 5.7. Inicializace PWM 3	25
Obr. 5.8. Inicializace časovače Timer0	26
Obr. 5.9. Inicializace GPIO 55	27
Obr. 5.10. Pinout řízení na MLC interfece	28
Obr. 6.1. Printscreeny z osciloskopu s a bez řízení na optimální účinnost a fázi	30
Obr. 6.2. Ověření správné funkce řízení na optimální účinnost a výkon	31
Obr. 6.3. Vliv navyšování požadovaného fázového posuvu	33
Obr. 6.4. Vliv požadovaného fázového posuvu při různých přenosových vzdálenostech	34
Obr. 6.5. Vliv velikosti požadovaného posuvu při vysokém výkonu	35
Obr. 6.6. Detaily printscreenů při regulaci fáze s a bez současného řízení na optimální účinnost a fázi.	36
Obr. 6.7. Vliv regulace výkonu	37

Historie revizí

Rev.	Kapitola	Popis změny	Datum	Jméno
0	Všechny	Publikování dokumentu	23. 5. 2017	M. Zavřel