

Druhá generace binární IO karty BIO02 řídicího systému REMCS

Pracoviště: RICE
Číslo dokumentu: 22190-026-2021
Typ zprávy: Výzkumná zpráva
Řešitelé: Ing. Zdeněk Kehl,
Ing. Libor Poláček, Ph.D.
Hlavní řešitel: Ing. Pavel Turjanica, Ph.D.
Počet stran: 30
Datum vydání: 24. 5. 2021
Oborové zařazení: JA – Elektronika a optoelektronika, elektrotechnika

Zadavatel / zákazník:

Zpracovatel / dodavatel:

Západočeská univerzita v Plzni
Regionální inovační centrum
elektrotechniky
Univerzitní 8
306 14 Plzeň

Kontaktní osoba:

Ing. Zdeněk Kehl
tel. 377 634 140
kehlz@rice.zcu.cz

Tento příspěvek vznikl s podporou Ministerstva školství, mládeže a tělovýchovy ČR v rámci projektu OP VVV, Elektrotechnické technologie s vysokým podílem vestavěné inteligence, číslo CZ.02.1.01/0.0/0.0/18_069/0009855 a projektu SGS-2021-021.

Anotace

Tato výzkumná zpráva popisuje binární vstupně výstupní kartu druhé generace BIO02 řídicího systému REMCS. Je zde popsán koncept karty a její blokové schéma. Detailně se tato zpráva věnuje vstupně výstupní sekci, kde jsou popsány HW varianty binárního vstupu, binárního výstupu s klasickým relé a binárního výstupu s paměťovým relé. Je zde odvozen výpočet obvodu binárního vstupu. Dále tato zpráva popisuje hlavní části karty BIO02, kterými jsou HW, blokování, autodetekce, IR debug a časovací obvod zdroje. Závěrem této práce je uveden pinout procesoru.

Klíčová slova

Procesor, blokování, binární vstup, binární výstup, kanál

Název zprávy v anglickém jazyce / Report title

The second generation of binary I/O card of REMCS control system

Anotace v anglickém jazyce / Abstract

This research report describes the second generation binary I/O card BIO02 of the REMCS control system. The concept of the card and its block diagram are described here. This report describes in detail input-output section, where the HW variants of the binary input, the binary output with the non-latch relay and the binary output with the latch relay are described. The calculation of the binary input circuit is derived here. Furthermore, this report describes the main parts of the BIO02 card, which are HW blocking, autodetection, IR debug and power supply circuit. The conclusion of this work is the pinout of the processor.

Klíčová slova v anglickém jazyce / Keywords

Processor, blocking, binary input, binary output, channel

Seznam symbolů a zkratek

IR

Infrared

REMCS

Rice Embedded Modular Control System

Obsah

1	ÚVOD	5
2	KONCEPT BINÁRNÍ IO KARTY BIO02	6
2.1	POZICE JEDNOTLIVÝCH KANÁLŮ NA PCB	7
2.2	ZAPOJENÍ ČELNÍHO KONEKTORU	7
3	VSTUPNĚ-VÝSTUPNÍ SEKCE KARTY BIO02	8
3.1	BINÁRNÍ VÝSTUP	8
3.1.1	<i>Binární výstup s paměťovým relé (Latch relay)</i>	<i>8</i>
3.1.2	<i>Binární výstup NC s klasickým relé (Non-latch relay)</i>	<i>9</i>
3.1.3	<i>Binární výstup NO s klasickým relé (Non-latch relay)</i>	<i>10</i>
3.2	BINÁRNÍ VSTUP	10
3.2.1	<i>Integrovaný obvod ISO1212D</i>	<i>12</i>
3.2.2	<i>Výpočet rozhodovacích úrovní binárního vstupu</i>	<i>12</i>
3.2.3	<i>Konfigurace binárního vstupu pro standardní průmyslové úrovně</i>	<i>14</i>
4	AUTODETEKCE KARTY BIO02	15
5	ČASOVACÍ OBVOD ZDROJE KARTY BIO02	16
6	INFRARED UART DEBUG	17
7	HW BLOKOVÁNÍ	18
8	VARIANTY KARTY BIO02	19
9	PINOUT PROCESORU	21
10	ZÁVĚR	28

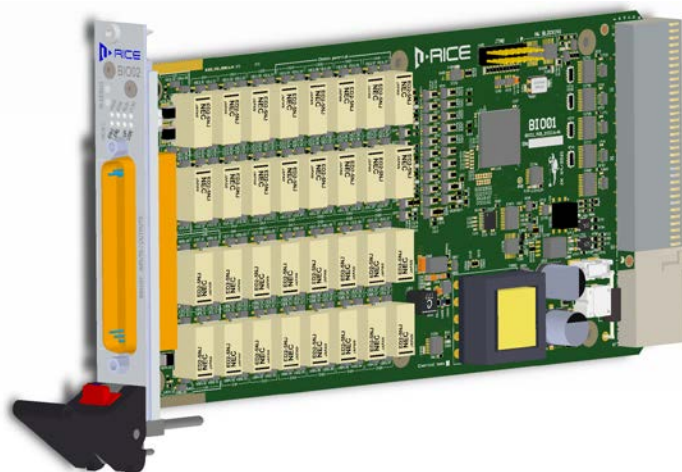
1 Úvod

Řídicí systém REMCS (Rice Embedded Modular Control System) byl vyvinut pro řízení výkonových měničů. Tento systém disponuje vysokou modularitou a je schopný řídit širokou škálu topologií výkonových měničů. Řídicí systém REMCS disponuje několika druhy karet, kterými jsou MCU, DIF, BIO a AIO. Jednotlivé karty jsou mezi sebou propojeny backplanou a celý systém je koncipován do 3U racku. Díky vysokorychlostní komunikace až 1,3Gb je možné řídicí algoritmy distribuovat na jednotlivé karty. Díky tomu, systém REMCS dokáže čelit i nejnáročnějším aplikacím, kde je vyžadován vysoký výpočetní výkon, velké množství periférií a spolehlivost systému.

Tato technická zpráva je zaměřena na vývoj druhé generace binární vstupně výstupní karty BIO02 systému REMCS.

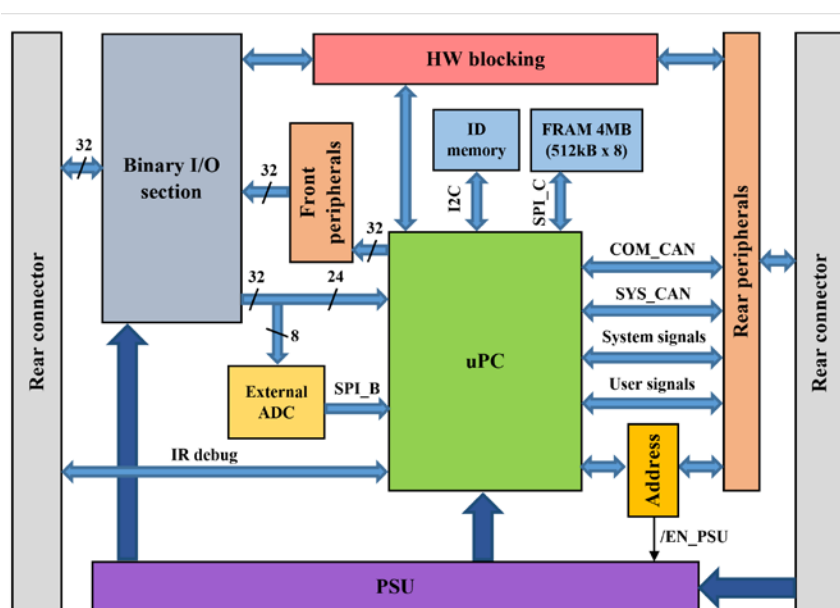
2 Koncept binární IO karty BIO02

Hardwarový koncept binární vstupně výstupní karty druhé generace BIO02 vychází ze standardního euro formátu desky plošných spojů. Čelní panel je navržen tak, aby karta mohla být implementována do zásuvného modulu 3U racku tzv. vany. Vstupně výstupní 32 kanálový interface binární IO karty tvoří 62pinový konektor HARTING D-SUB. Čelní panel je dále osazen 8mi násobným světlovodem, který indikuje základní funkce karty. Dále je na čelním panelu situován IR debug, pro bezdrátové programování procesoru. Na obrázku Obr. 2.1 je znázorněn 3D model karty BIO02.



Obr. 2.1 3D model binární vstupně výstupní karty BIO02 řídicího systému REMCS

Na obrázku Obr. 2.2 je uvedeno blokové schéma binární IO karty BIO02. Hlavní část karty tvoří mikroprocesor, který svými perifériemi ovládá jak vstupně výstupní sekci tak i systémovou část karty. K mikroprocesoru jsou připojeny dvě paměti. Identifikační paměť (ID memory) komunikuje s procesorem přes I2C a slouží k archivaci základních dat o kartě. Tato paměť může být vyčítána i bezdrátově, bez nutnosti napájení karty.



Obr. 2.2 Blokové schéma binární vstupně výstupní karty BIO02

Jako druhá paměť je osazena 4MB FRAM, která pro komunikaci využívá sériovou linku SPI_C. Karta BIO02 disponuje 32 vstupně-výstupními kanály. Aby procesor mohl mít zpětnou

vazbu od všech vstupně výstupních kanálů, musela být karta doplněna o externí 8mi kanálový AD převodník, který je připojen na sériovou komunikaci procesoru SPI_B. Součástí karty BIO02 je také napájecí zdroj, jehož prodleva spuštění je dána adresou příslušné karty. Tímto je zajištěná postupná sekvence zapínání zdrojů na jednotlivých kartách při centrálním spuštění systému REMCS. Dále je karta BIO02 vybavena obvodem hardwarového blokování.

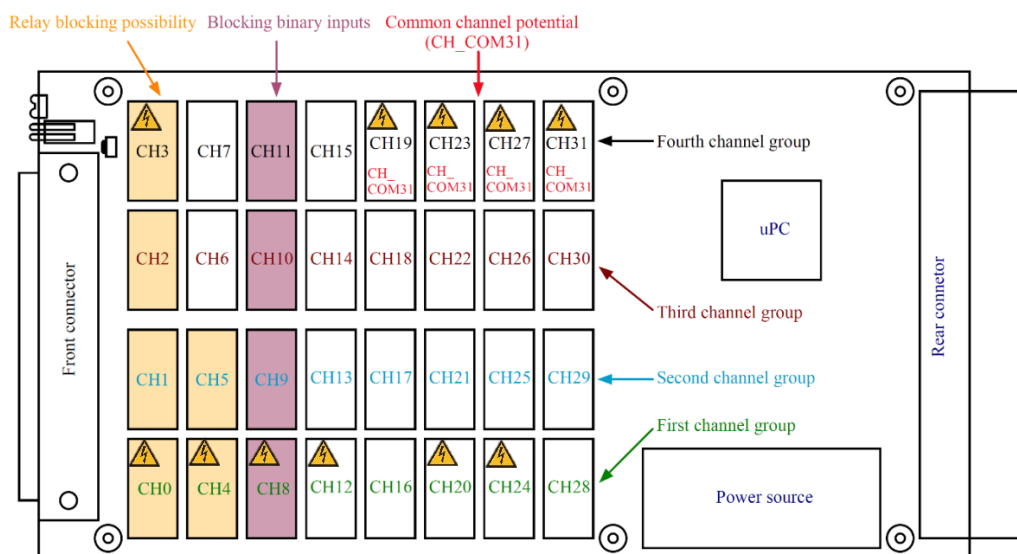
2.1 Pozice jednotlivých kanálů na PCB

Na obrázku Obr. 2.3 jsou naznačeny pozice jednotlivých kanálů na plošném spoji BIO02 karty. Jednotlivé kanály mohou být osazeny buď jako binární vstupy nebo binární výstupy. Červeně označené kanály (CH19, CH23, CH27, CH31) mají společný potenciál CH_COM31.

Pokud jsou kanály CH0 – CH5 osazeny jako binární výstupy, mohou být hardwarově blokovány. V případě, kdy je kanál osazen pamětovým relé (Dual coil latch relay), je zde možnost HW blokování do sepnutého nebo rozepnutého stavu.

Pokud jsou kanály CH9 – CH11 konfigurovány jako binární vstupy, mají možnost hardwarově blokovat BIO kartu a celý systém REMCS.

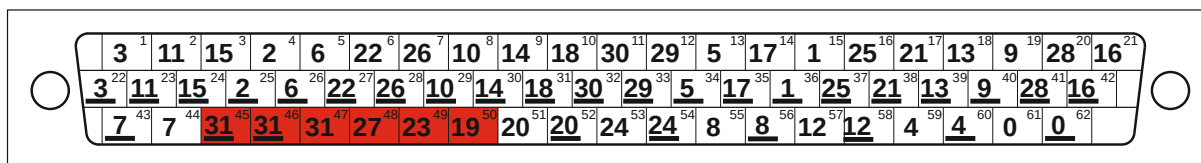
Kanály označené značkou vysokého napětí (CH0, CH3, CH4, CH8, CH12, CH19, CH20, CH23, CH24, CH7 a CH31) mohou pracovat se vstupním napětím až 150V DC. Ostatní kanály mají nominální napětí 24V.



Obr. 2.3 Pozice jednotlivých kanálů na PCB

2.2 Zapojení čelního konektoru

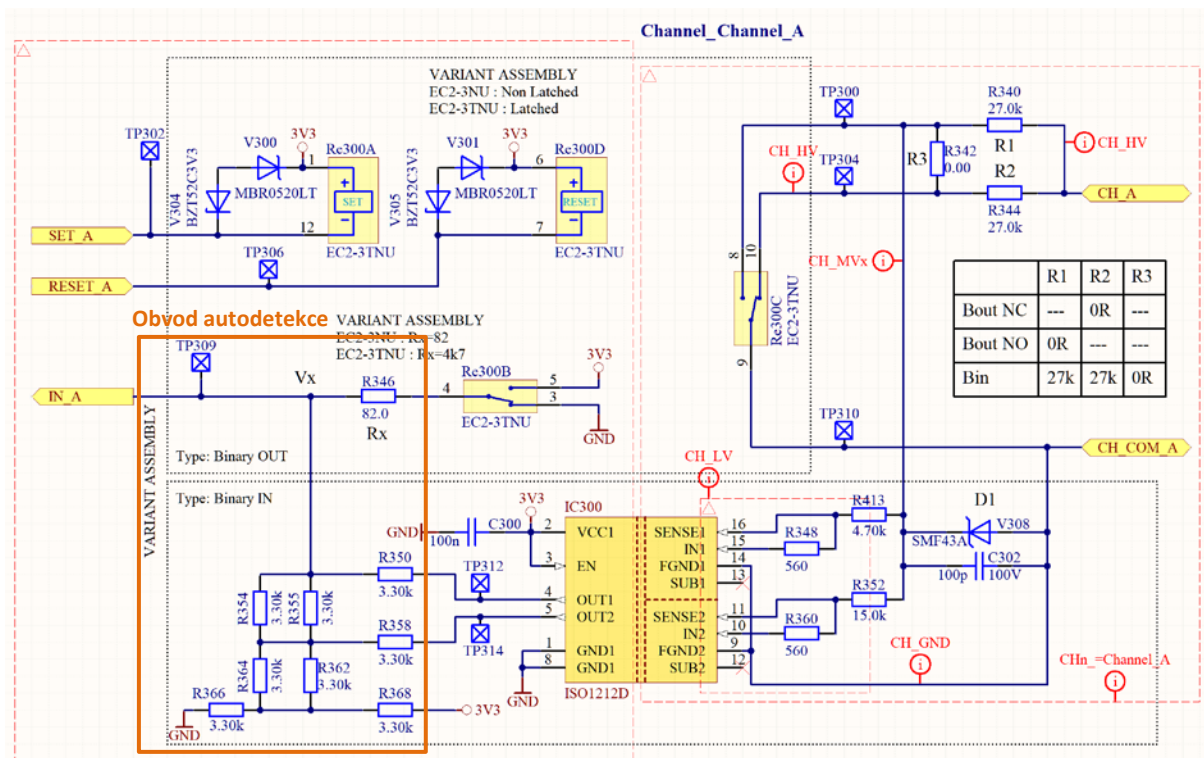
Na obrázku Obr. 2.4 je znázorněno zapojení čelního konektoru. Čísla vpravo nahoře v jednotlivých buňkách značí číslo pinu čelního konektoru při pohledu zepředu. Nepodtržená čísla označují jednotlivé kanály CH_x. Podtržená čísla označují vztažný potenciál CH_COMx příslušného kanálu. Kanály označené červeně (CH_19, CH_23, CH27, CH_31) mají společný vztažný potenciál CH_COM31.



Obr. 2.4 Zapojení čelního konektoru

3 Vstupně-výstupní sekce karty BIO02

Vstupně-výstupní sekci karty BIO02 tvoří 32 identických kanálů. Schéma vstupně-výstupního kanálu je znázorněno na obrázku Obr. 3.1. Variabilním osazením komponentů může být vstupně-výstupní kanál konfigurován buď jako binární výstup nebo binární vstup. Součástí jednotlivých kanálů je i pasivní obvod, který slouží k autotetekci jednotlivých kanálů karty BIO02.



Obr. 3.1 Schéma vstupně-výstupního kanálu (Binary_IO.SchDoc)

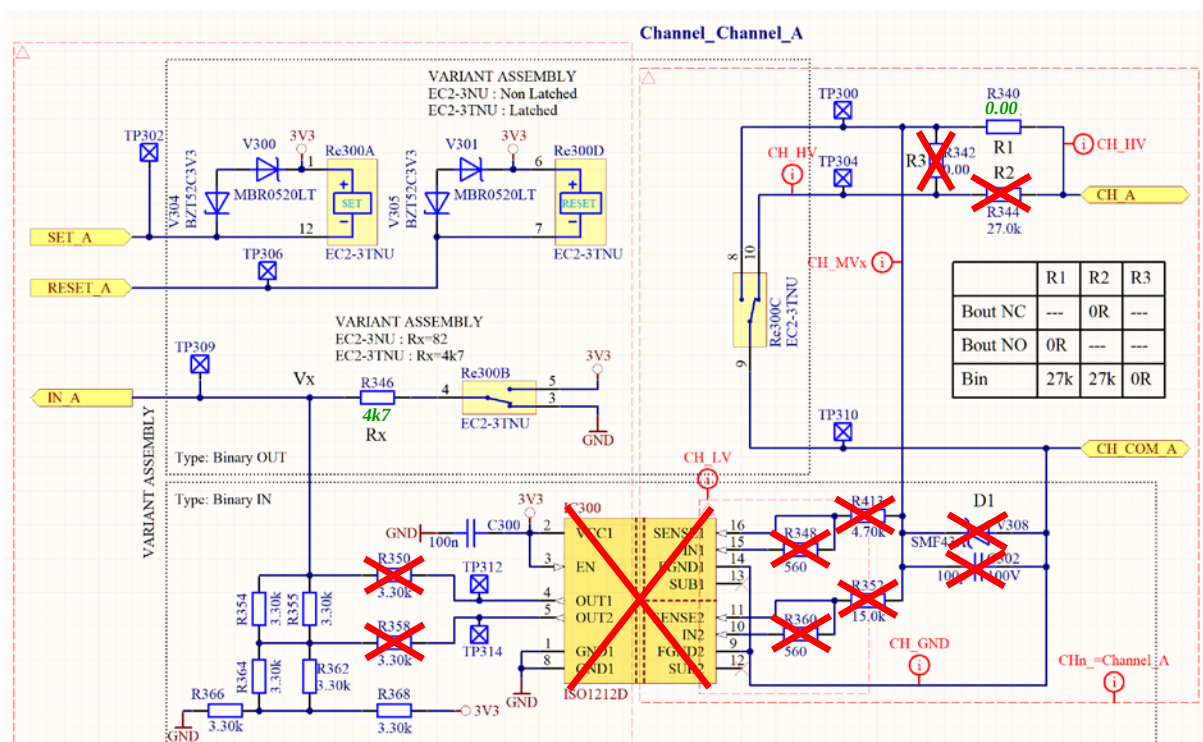
3.1 Binární výstup

Pokud je vstupně-výstupní kanál konfigurován jako binární výstup, může být osazen buď klasickým relé s jednou cívkou (Single coil non-latch relay) nebo paměťovým relé se dvěma cívkami (Double coil latch relay). V obou případech se jedná o relé s dvěma kontakty, kde jeden kontakt tvoří výstupní kontakt připojený na piny čelního konektoru a druhý kontakt slouží jako zpětná vazba, která informuje procesor o stavu binárního výstupu.

Pokud je aplikací vyžadována vyšší spolehlivost zpětné vazby, je možné využít jeden z binárních vstupů, který se externě propojí s binárním výstupem. Tím se vytvoří nezávislá zpětná vazba příslušného binárního výstupu.

3.1.1 Binární výstup s paměťovým relé (Latch relay)

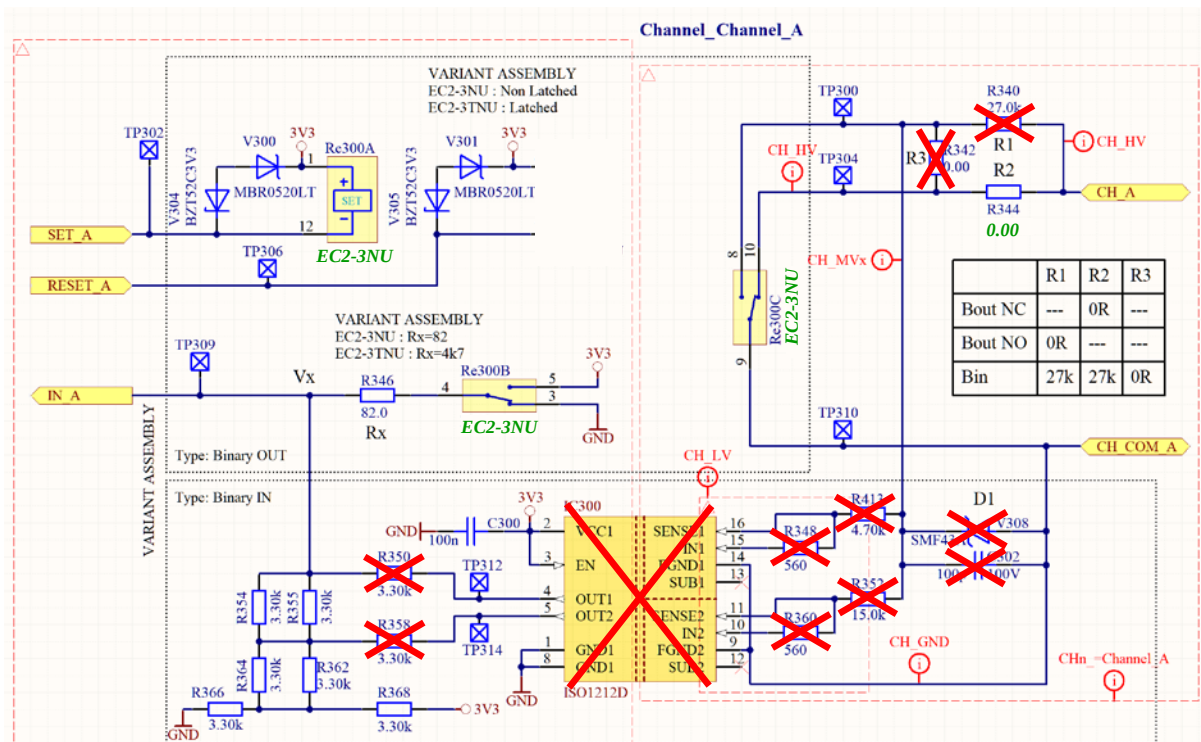
Hardwarová konfigurace binárního výstupu s paměťovým relé je zobrazena na Obr. 3.2. Binární výstup je tvořen pomocí paměťového relé KEMET EC2-3TNU [1]. Jedná se o dvoupólové relé se dvěma cívkami. Cívky jsou ovládané 3V logikou. Na pozici rezistoru R340 je nulový odpor, který připojuje kontakt relé na příslušný pin čelního konektoru. Na pozici R346 je osazen odpor 4k7, který je zde nutný pro autotetekci.



Obr. 3.2 Schéma binárního výstupu s paměťovým relé EC-3TNU (Binary_IO.SchDoc)

3.1.2 Binární výstup NC s klasickým relé (Non-latch relay)

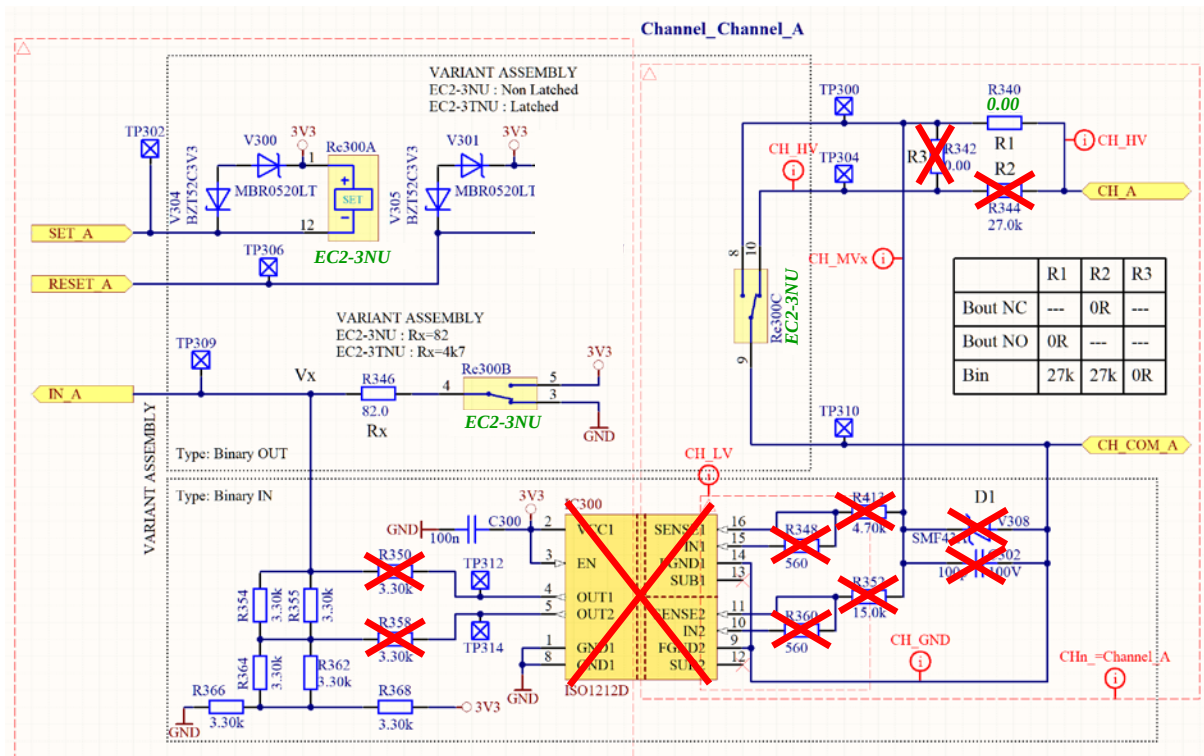
Hardwarová konfigurace binárního výstupu NC s klasickým relé je zobrazena na Obr. 3.3. Binární výstup je tvořen pomocí relé KEMET EC2-3NU [1]. Jedná se o dvoupólové relé s jednou cívkou, která je ovládaná 3V logikou. Pokud cívka relé není napájena, kontakty relé spojují piny 3, 4 a 9, 10. Na pozici rezistoru R344 je osazen nulový odpor, který konfiguruje binární výstup jako NC (normally closed).



Obr. 3.3 Schéma binárního výstupu NC s klasickým relé EC2-3NU (Binary_IO.SchDoc)

3.1.3 Binární výstup NO s klasickým relé (Non-latch relay)

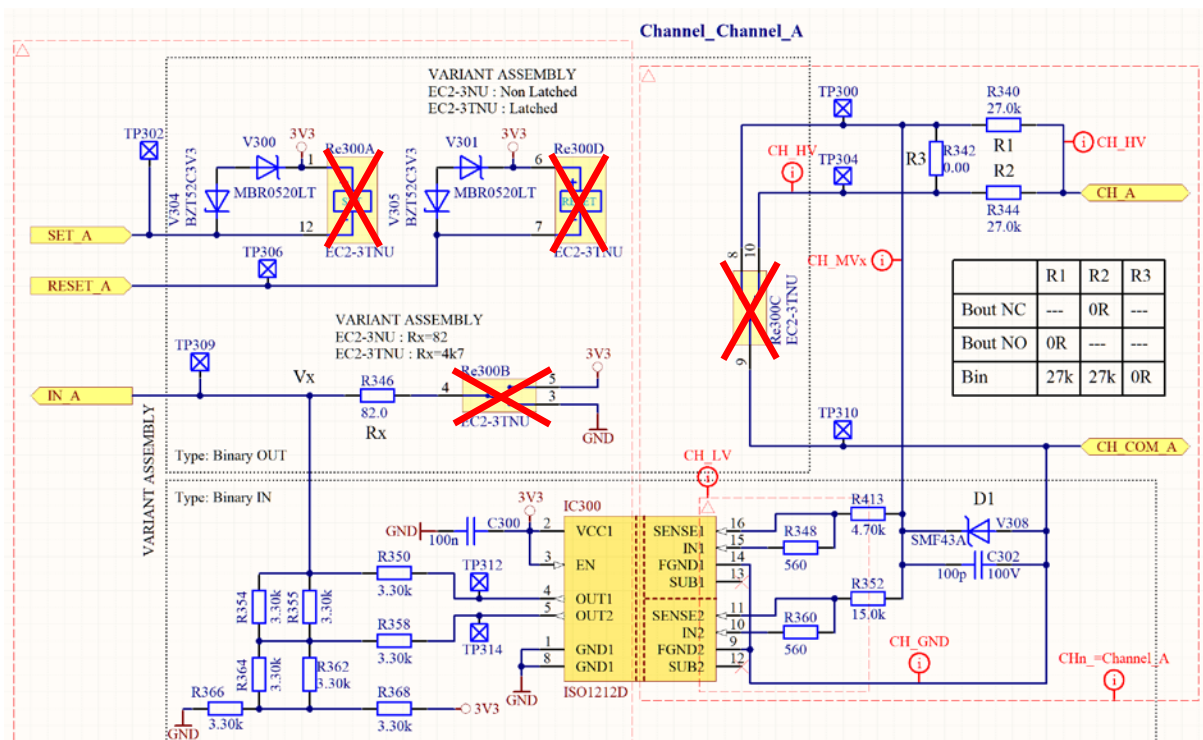
Hardwarová konfigurace binárního výstupu NO s klasickým relé je zobrazena na Obr. 3.4. Binární výstup je tvořen pomocí relé KEMET EC2-3NU [1]. Jedná se o dvoupólové relé s jednou cívkou, která je ovládána 3V logikou. Pokud cívka relé není napájena, kontakty relé spojují piny 3, 4 a 9, 10. Na pozici rezistoru R340 je osazen nulový odpor, který konfiguruje binární výstup jako NO (normally open).



Obr. 3.4 Schéma binárního výstupu NO s klasickým relé EC2-3NU (Binary_IO.SchDoc)

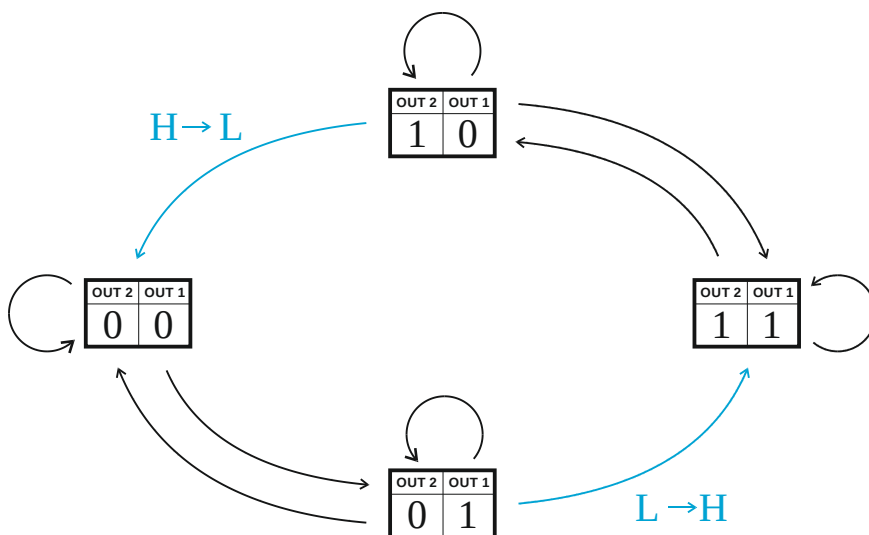
3.2 Binární vstup

Schéma binárního vstupu je znázorněno na Obr. 3.5. Koncepce binárního vstupu je založena na obvodu ISO1212D [2]. Jedná se o dvoukanálový izolovaný digitální přijímač, který nepotřebuje napájecí napětí pro sekundární stranu, čím odpadá nutnost realizace izolovaného napájecího zdroje. Obvod ISO1212D je v případě karty BIO02 zapojený jako okénkový komparátor. Rozhodovací úrovně jsou definovány vstupním obvodem, který je tvořen rezistory R340, R342, R344, R413, R352, kondenzátorem C302 a transilem V308. Pomocí součástek vstupního obvodu je možné nastavit rozsah binárního vstupu od 0 – 150V. Tento rozsah pokrývá všechny standardní průmyslové hladiny ovládacího napětí 24V, 48V, 72V a 110V. Detailně se výpočtem rozhodovacích úrovní binárního vstupu zabývá kapitola 3.2.2 Výpočet rozhodovacích úrovní binárního vstupu.



Obr. 3.5 Schéma binárního vstupu (Binary_IO.SchDoc)

Princip binárního vstupu lze popsat stavovým automatem, který je uveden na Obr. 3.6. Stavový automat znázorňuje stavy výstupů OUT 1, OUT 2 obvodu ISO1212D. Přechody ze stavů 00 $\leftrightarrow$ 01 nebo 10 $\leftrightarrow$ 11 definují pásmo necitlivosti (hysterezi). Přechod ze stavu 01 do stavu 11 definuje změnu vstupního signálu z nízké úrovně L do vysoké úrovně H. Naopak přechod ze stavu 10 do stavu 00 definuje změnu vstupního signálu z vysoké úrovně H do nízké úrovně L.



Obr. 3.6 Stavový automat binárního vstupu

2,25mA Tato hodnota je dána vnitřním limiterem sekundární strany obvodu ISO1212D. Velikost napětí U_{OFF} a U_{ON} je dána vnitřním komparátorem obvodu ISO1212D. Hodnota napětí U_{OFF} je 7,1V. Hodnota napětí $U_{ON} = 8,25V$.

Spodní rozhodovací úroveň binárního vstupu popisuje rovnice (1) a je detekována kanálem 1 obvodu ISO1212D. Pokud vstupní napětí U_{IN} klesne pod hodnotu U_{TH1} , dojde k překlopení výstupu OUT 1 do logické 0.

$$U_{TH1} = U_{OFF} + R_4 \cdot I_{LIM1} + \left(\frac{R_1 \cdot R_2}{R_1 + R_2} \right) \cdot I_{LIM1} \quad (1)$$

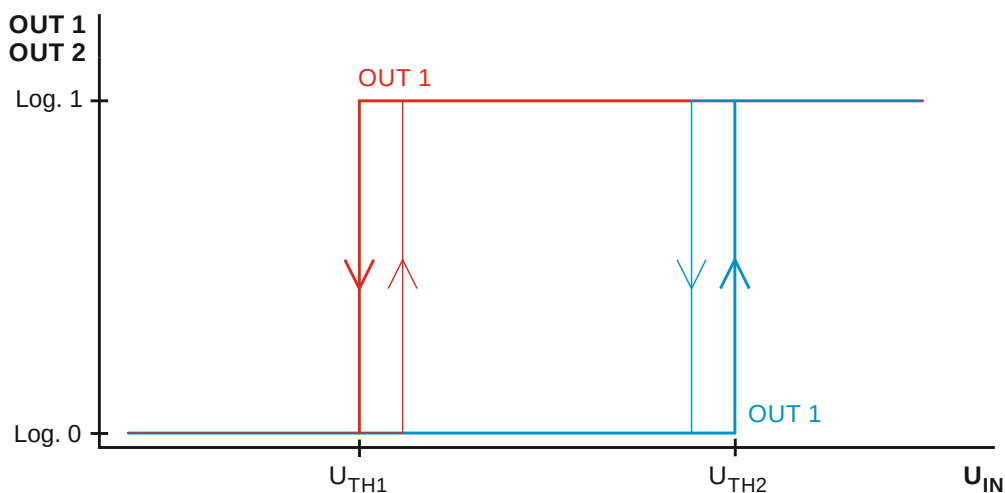
$$U_{TH1} = 7,1 + \left[R_4 + \left(\frac{R_1 \cdot R_2}{R_1 + R_2} \right) \right] \cdot 2,25 \cdot 10^{-3}$$

Horní rozhodovací úroveň binárního vstupu popisuje rovnice (2) a je detekována kanálem 2 obvodu ISO1212D. Pokud vstupní napětí U_{IN} přesáhne hodnotu U_{TH2} , dojde k překlopení výstupu OUT 2 do logické 1.

$$U_{TH2} = U_{ON} + R_5 \cdot I_{LIM2} + \left(\frac{R_1 \cdot R_2}{R_1 + R_2} \right) \cdot (I_{LIM1} + I_{LIM2})$$

$$U_{TH2} = 8,25 + \left[R_5 + 2 \cdot \left(\frac{R_1 \cdot R_2}{R_1 + R_2} \right) \right] \cdot 2,25 \cdot 10^{-3} \quad (2)$$

Charakteristika binárního vstupu je znázorněna na Obr. 3.9. Červenou barvou je znázorněna charakteristika výstupu OUT 1 (kanál 1 obvodu ISO1212D). Jelikož kanál č.1 určuje spodní threshold binárního vstupu, zajímá nás pouze sestupná hrana, která je dána rovnicí (1). Modrou barvou je znázorněna charakteristika výstupu OUT 2 (kanál 2 obvodu ISO1212D). Jelikož kanál č.2 určuje horní threshold binárního vstupu, zajímá nás pouze vzestupná hrana, která je dána rovnicí (2). Celková charakteristika je dána součtem charakteristik obou kanálů obvodu ISO1212D.



Obr. 3.9 Charakteristika binárního vstupu

Jelikož logické výstupy OUT 1 a OUT 2 jsou zapojeny do R-2R sítě, je nutné přepočítat logické úrovně výstupů na velikost napětí V_x , které je přivedeno na vstupní filtr AD převodníku procesoru. Vztah mezi logickými úrovněmi výstupů OUT 1 a OUT 2 a napětím V_x je popsán v tabulce Tab. I.

Tab. I Vztah mezi logickými úrovněmi výstupů OUT 1, OUT 2 a napětím V_x

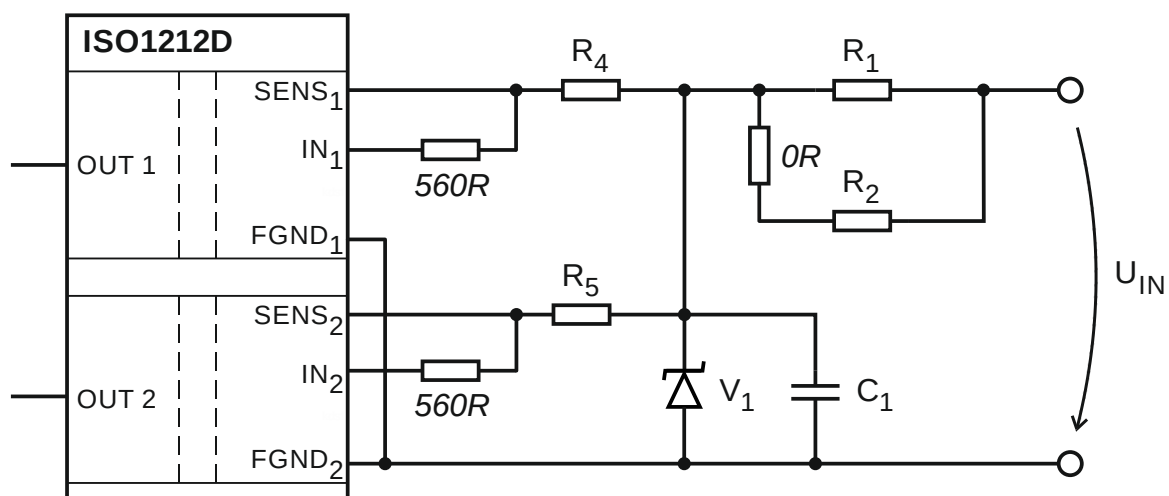
OUT 1	OUT 2	V_x [V]	Vyhodnocení binárního vstupu mikroprocesorem
0	0	0,41	Log. 0
0	1	1,24	Pásmo necitlivosti
1	0	2,06	Pásmo necitlivosti
1	1	2,89	Log. 1

3.2.3 Konfigurace binárního vstupu pro standardní průmyslové úrovně

Tabulka Tab. II. uvádí jednotlivé konfigurace binárního vstupu pro standardní průmyslová ovládací napětí 24V, 48V, 72V a 110V. Odpory R_1 a R_2 jsou v pouzdře 1812. Rezistor R_4 je v pouzdře 603. Rezistor R_5 je v pouzdře 805.

Tab. II Konfigurace binárního vstupu pro standardní průmyslové úrovně

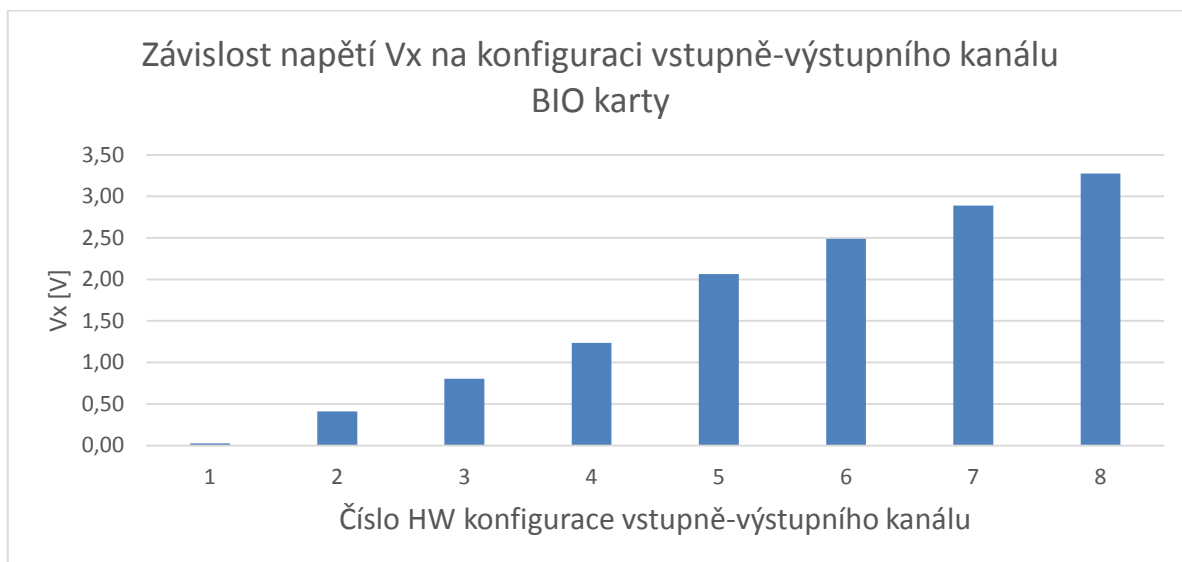
U_{IN} [V]	U_{TH1} [V]	U_{TH2} [V]	R_1 [Ω]	R_2 [Ω]	R_4 [Ω]	R_5 [Ω]	V_1	C_1
24	9,4	15,7	0	0	1k	3k3	---	---
48	22,2	31	6k8	6k8	3k3	3k3	---	---
72	32,8	49,4	15k	15k	3k9	3k3	SMF43A	100pF
110	48,1	87,5	27k	27k	4k7	8k2	SMF43A	100pF



Obr. 3.10 Schéma binárního vstupu

4 Autodetekce karty BIO02

Karta BIO02 je vybavena HW autodetekcí. Každý vstupně-výstupní kanál obsahuje R-2R síť, která je hardwarově modifikována podle aktuální konfigurace příslušného kanálu. Na obrázku Obr. 4.1 jsou uvedeny jednotlivé úrovně napětí V_x , které odpovídají příslušné konfiguraci. Napětí V_x je přivedeno na vstupy AD převodníku procesoru.



Obr. 4.1 Závislost napětí V_x na konfiguraci BIO karty

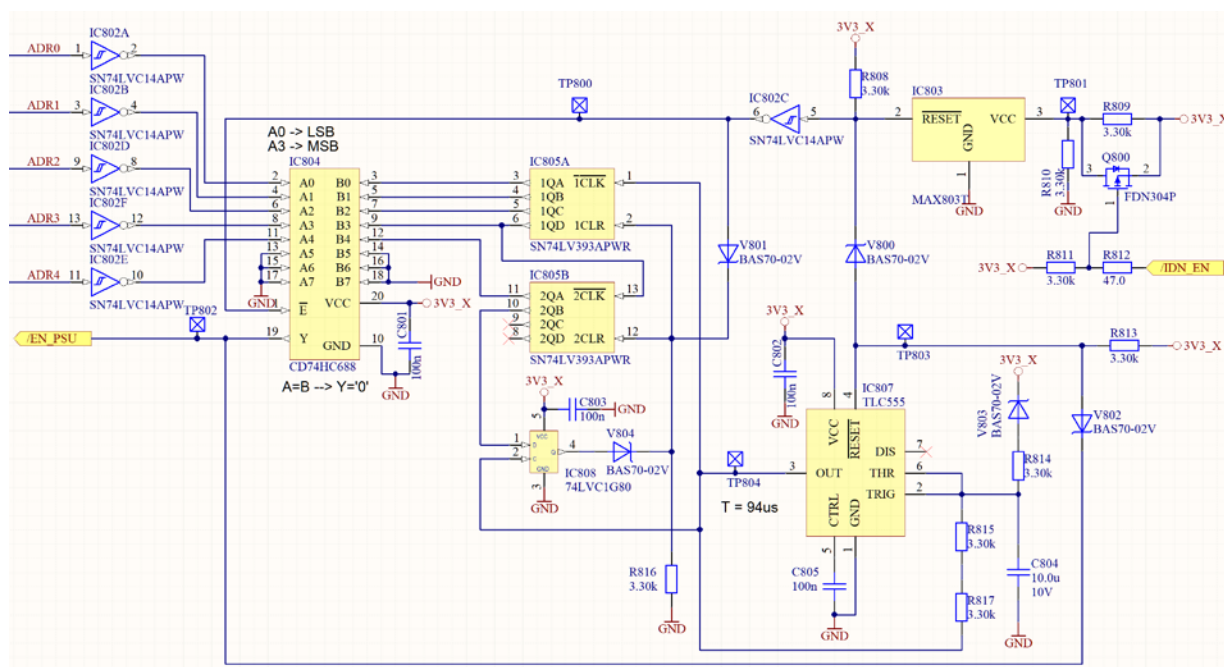
Tabulka Tab. III uvádí hodnoty napětí V_x v závislosti na konfiguraci vstupně-výstupního kanálu karty BIO02. Pomocí autodetekce, je možné identifikovat, zda je daný kanál osazen jako binární vstup, binární výstup s klasickým relé případně binární výstup s paměťovým relé. Autodetekce neumí identifikovat zapojení NO a NC v případě konfigurace binárního výstupu s klasickým relé.

Tab. III Možnosti konfigurace binární IO karty

Číslo konfigurace	Výstupy ISO1212D		Stav relé	V_x [V]	Konfigurace kanálu
	OUT 1	OUT 2			
1	-----		EC2-3NU OFF	0,03	Bin výstup s klasickým relé (NO nebo NC)
2	0	0	-----	0,41	Binární vstup
3	-----		EC2-3TNU OFF	0,80	Bin výstup s paměťovým relé (stav OPEN)
4	0	1	-----	1,24	Binární vstup
5	1	0	-----	2,06	Binární vstup
6	-----		EC2-3TNU ON	2,49	Bin výstup s paměťovým relé (stav CLOSED)
7	1	1	-----	2,89	Binární vstup
8	-----		EC2-3NU ON	3,27	Bin výstup s klasickým relé (NO nebo NC)

5 Časovací obvod zdroje karty BIO02

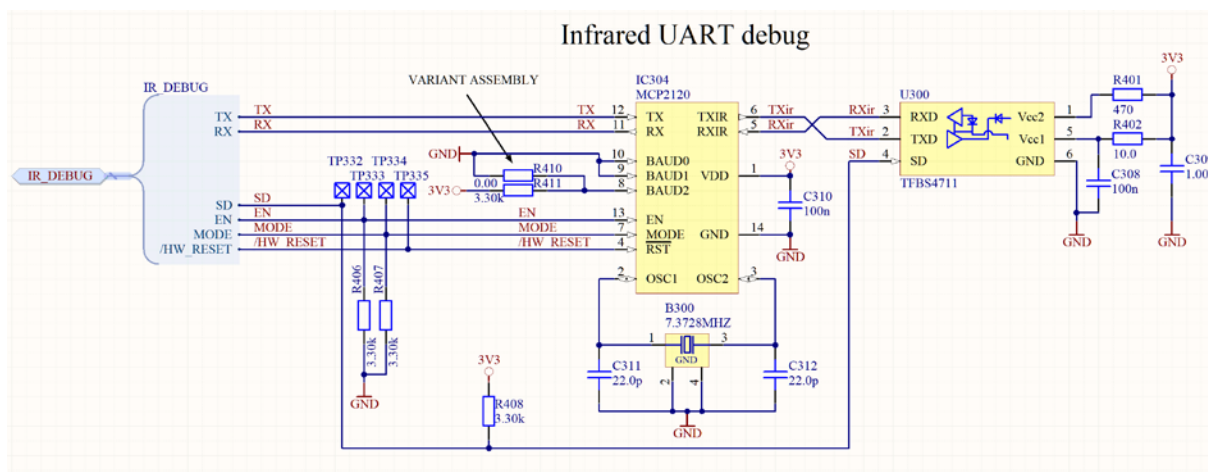
Časovací obvod karty BIO02 zajišťuje časování zapnutí napájecího zdroje, aby nedošlo k zapnutí všech karet řídicího systému REMCS současně. Čas, který určuje zpoždění zapnutí napájecího zdroje karty je dán adresou, která je uložena do 8mi bitového komparátoru CD74LVC14APW. V okamžiku, kdy je signál /IDN_EN je aktivován do log. 0 dojde k sepnutí P-MOS tranzistoru, který vyzkratuje rezistor R809. Tím je přivedeno napětí z backplany 3V3_X do obvodu MAX803T. Tento obvod po čase 140ms uvolní signál reset. Tímto je aktivován enable 8mi bitového komparátoru CD74LVC14APW. Současně je uvolněn signál reset časovače TLC555, který začíná generovat pulsy s periodou 94us. Tímto je inkrementována hodnota v 5ti bitovém čítači, který je tvořen kaskádním spojením obvodů SN74LV393APWR. V okamžiku kdy hodnota v čítači je shodná s hodnotou, která je uložena v 8mi bitovém komparátoru, dojde k aktivaci signálu /EN_PSU do logické 0. Tímto je zapnut napájecí zdroj karty BIO02.



Obr. 5.1 Časovací obvod napájecího zdroje karty BIO02 (Address.SchDoc)

6 Infrared UART debug

Karta BIO02 je vybavena infračerveným přijímačem, který slouží pro debug karty. Infračervený přijímač je vyveden na čelní panel, tudíž umožňuje debug bez nutnosti vyjmutí karty z backplany.



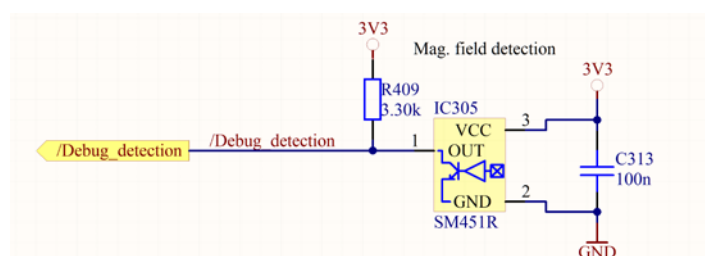
Obr. 6.1 Infrared UART debug (Front_Connector.SchDoc)

Na obrázku Obr. 6.1 je znázorněno schéma obvodu infrared UART debug. Samotný IR přijímač je tvořen součástkou TFBS4711. Signály sériové komunikace IR přijímače RXir, TXir jsou vedeny do dekodéru MCP2120. Pomocí odporů R410 a R411 je možné nastavit přenosovou rychlost, kterou bude dekodér vysílat a přijímat data. Přenosové rychlosti v závislosti na osazení odporu R410 jsou popsány v tabulce Tab. IV. Signály sériové komunikace dekodéru RX, TX jsou připojeny na modul sériové komunikace SCI/UART A procesoru (piny G2, G3).

Tab. IV Přenosové rychlosti IR debug

R410	Přenosová rychlost [Bd]
Osazen	9600
Neosazen	115200

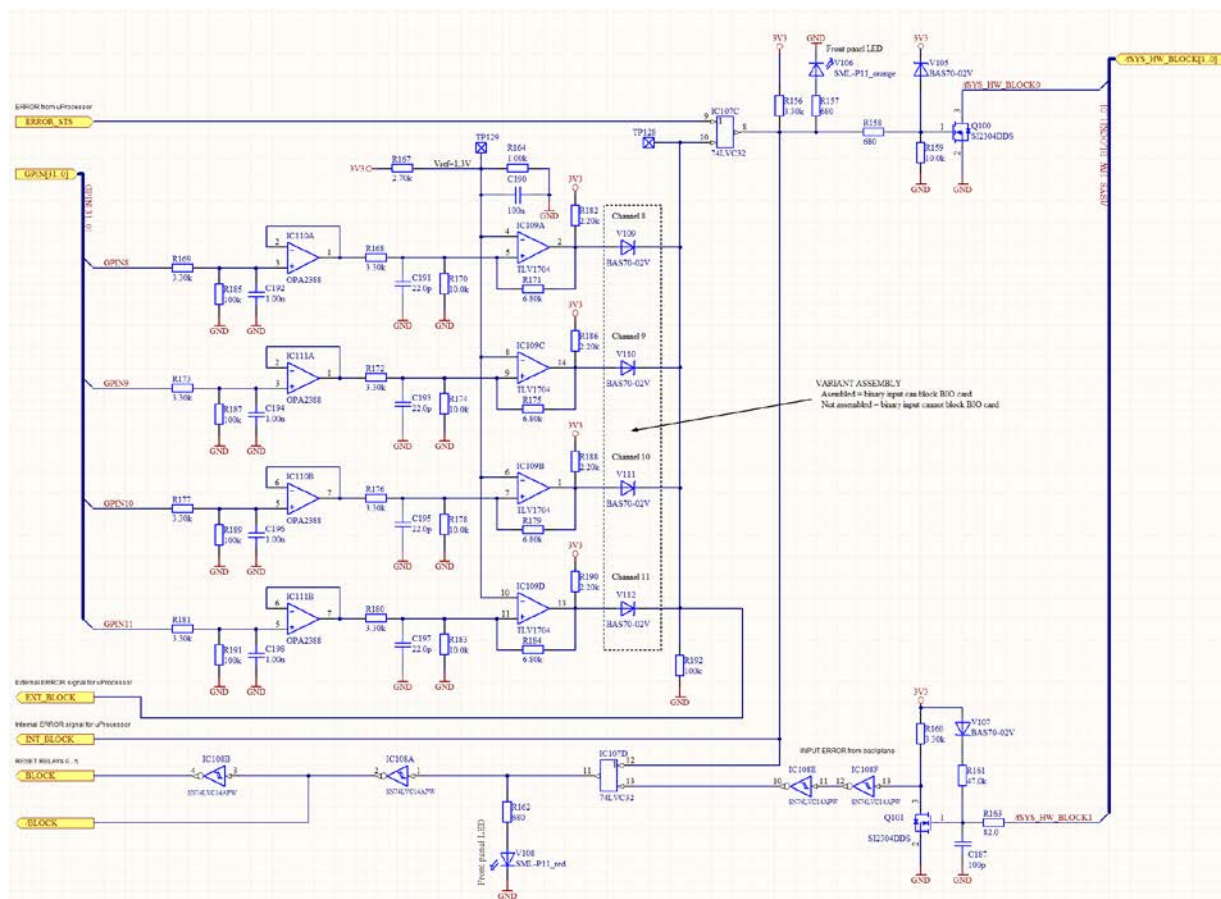
Obvod IR přijímače je doplněn o detektor připojeného protikusu. Jelikož programovací protikus je k čelu karty BIO02 fixován magneticky, je i detekce založená na detekci magnetického pole. Senzor magnetického pole je znázorněn na obrázku Obr. 6.2. Výstup senzoru magnetického pole je připojen na GPIO88 (pin procesoru C6). Pokud programovací protikus není připojen, na výstupu senzoru je log. 1. Pokud programovací protikus je připojen, na výstupu senzoru je log. 0.



Obr. 6.2 Senzor magnetického pole (Front_Connector.SchDoc)

7 HW blokování

Karta BIO02 může být HW blokována signálem z backplany, případně může vyvolat HW blokování celého systému REMCS. Obvod hardwarového blokování je znázorněn na Obr. 7.1. Pokud jsou vstupně-výstupní kanály CH0 – CH5 konfigurovány jako binární výstupy, mohou být blokovány signálem BLOCK. Signály /BLOCK, INT_BLOCK a EXT_BLOCK jsou zavedeny do procesoru. Na základě jejich kombinace, může procesor identifikovat, čím bylo HW blokování vyvoláno. Identifikace vyvolání HW blokování je popsána v tabulce Tab. V.



Obr. 7.1 HW blokování karty BIO02 (HW_Blocking.SchDoc)

Karta BIO02 může vyvolat HW blokování ze dvou zdrojů. Buď z binárního vstupu (pokud příslušný vstup využívá možnost vyvolání HW blokování) nebo vnitřním signálem ERROR_STS, který je generován procesorem a značí vnitřní chybu procesoru.

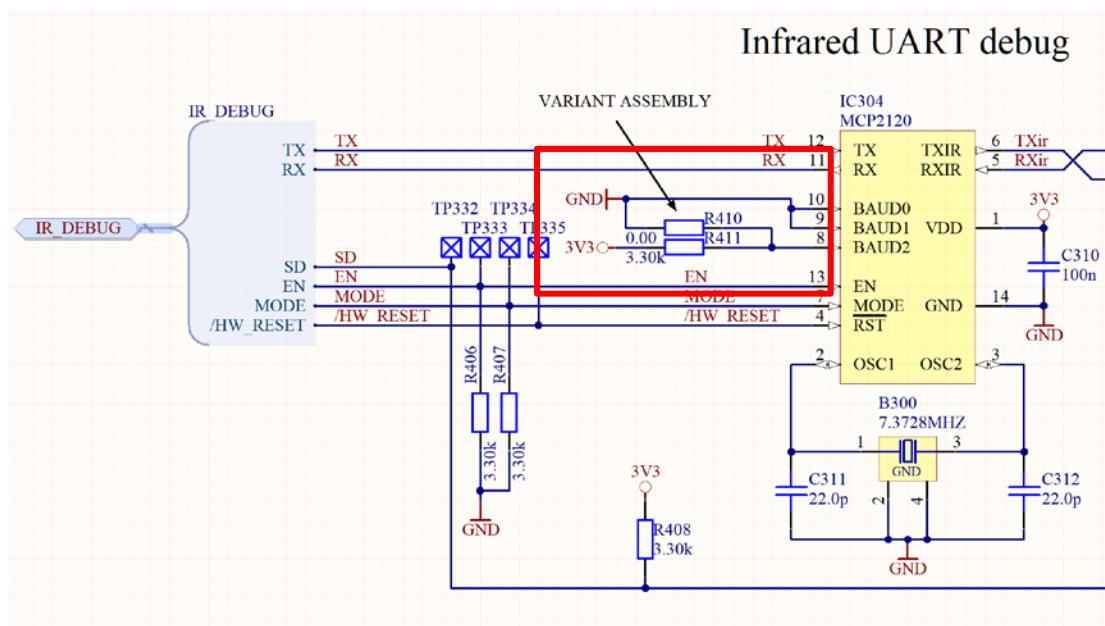
Tab. V Identifikace vyvolání HW blokování

Signál HW blokování			Blokování vyvoláno
/BLOCK	INT_BLOCK	EXT_BLOCK	
0	1	1	Binárním vstupem BIO karty
0	1	0	Vnitřní chybou procesoru (signál ERROR_STS)
0	0	0	Signálem /fSYS_HW_BLOCK1 z backplany systému REMCS

8 Varianty karty BIO02

Jelikož karta BIO02 obsahuje několik konfiguračních obvodů, budou v této kapitole zjednodušeně popsány jednotlivé HW varianty. Varianty vstupně-vstupní sekce budou vynechány, jelikož se jim detailně věnuje kapitola **3. Vstupně-výstupní sekce karty BIO02**.

Ve schématu na Obr. 8.1 je zvýrazněn konfigurační odpor R410, pomocí kterého lze nastavit přenosovou rychlost IR debug buď na 115200Bd (R410 neosazen) nebo 9600Bd (R410 osazen). Příslušné schéma se nachází v souboru Front_Connector.SchDoc.



Obr. 8.1 Konfigurační obvod pro nastavení přenosové rychlosti (Front_Connector.SchDoc)

Schéma na Obr. 8.2 se nachází v souboru Front_Peripherals.SchDoc. Osazením kondenzátorů C268, C269, ... je aktivováno HW blokování výstupních kanálů CH0 – CH5. V tomto schématu je možné osazením nakonfigurovat do jakého stavu bude paměťové relé blokováno. V případě, že je vyžadováno blokování výstupního kanálu s klasickým relé (Non latch relé), je místo kondenzátorů C268, C269, ... osazen nulový SMD odpor v pouzdře 0603.

Konfigurační odpory R713, R714 a R715 (Obr. 8.5) definují, který systémový signál (/SYS_SYNC0, /SYS_SYNC1 nebo /SYS_ERR_SUPPLY) bude přiveden do procesoru BIO karty jako systémový volitelný signál /fSYS_optional.

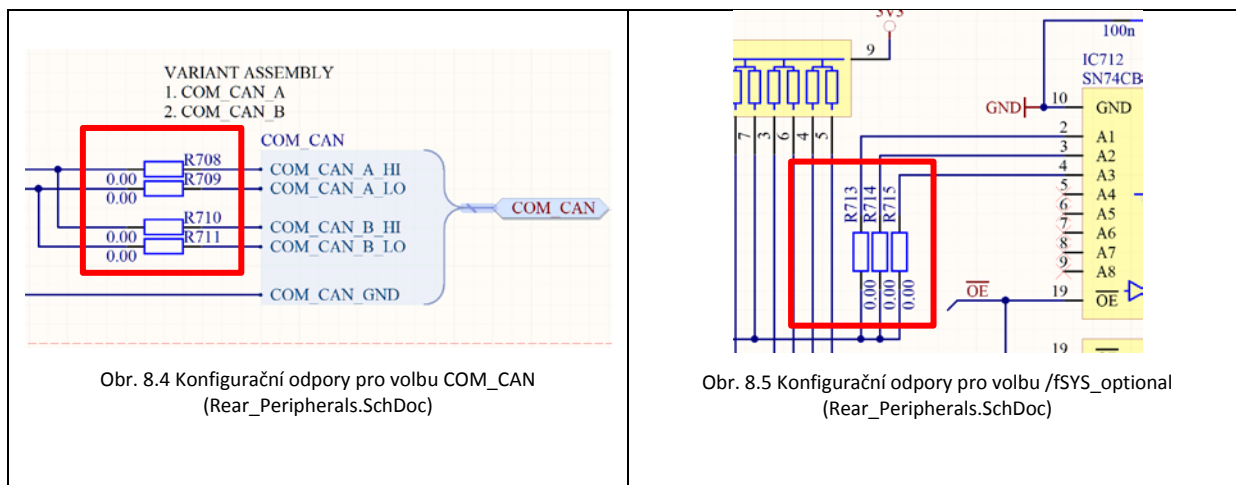
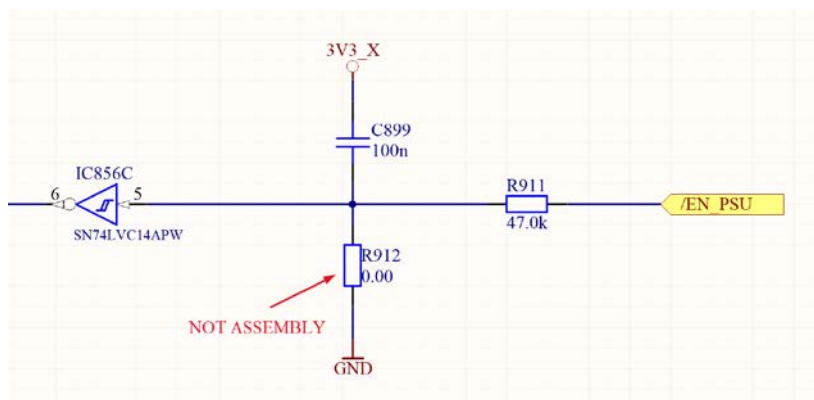


Schéma na Obr. 8.6 se nachází v souboru Main_PSU.SchDoc. Osazení rezistoru R912 je možné spouštět napájecí zdroj karty BIO02 bez signálu /EN_PSU. Pro normální běh karty, je doporučeno rezistor R912 neosazovat.



Obr. 8.6 Spouštěcí odpor napájecího zdroje (Main_PSU.SchDoc)

9 Pinout procesoru

Karta BIO02 je osazena procesorem Texas Instruments TMS320F28379S v pouzdře BGA. Pinout procesoru popisuje tabulka Tab. VI.

Tab. VI Pinout procesoru

Name	Net	Type	Description
E19	/BLOCK	Input	HW blocking signal for BIO02 processor. This signal can be activated by own HW protection of BIO02 card or global protection signal on system level.
C6	/Debug_detection	Input	This signal detect whether IR debug is connected. In case of log. 1 level, the signal SD (uPC pin J4) can be set to the log. 1. It shutdown IR Transceiver/receiver.

E18	/fSYS_BLOCK0	I/O	SYSTEM SIGNAL - SYS_BLOCK0
R16	/fSYS_BLOCK1	I/O	SYSTEM SIGNAL - SYS_BLOCK1
R17	/fSYS_BLOCK2	I/O	SYSTEM SIGNAL - SYS_BLOCK2
R18	/fSYS_BLOCK3	I/O	SYSTEM SIGNAL - SYS_BLOCK3
K18	/fSYS_ERR_FIRST	I/O	SYSTEM SIGNAL - SYS_ERR_FIRST
U17	/fSYS_ERR_GLOBAL	I/O	SYSTEM SIGNAL - SYS_ERR_GLOBAL
M18	/fSYS_optional	I/O	SYSTEM SIGNAL - SYS_optional
R19	/fUSR_ERR0	I/O	USR SIGNAL - USR_ERR0
P16	/fUSR_ERR1	I/O	USR SIGNAL - USR_ERR1
C11	/fUSR_ERR2	I/O	USR SIGNAL - USR_ERR2
D11	/fUSR_ERR3	I/O	USR SIGNAL - USR_ERR3
A14	/fUSR_GLOBAL0	I/O	USR SIGNAL - USR_GLOBAL_0
C14	/fUSR_GLOBAL1	I/O	USR SIGNAL - USR_GLOBAL_1
B16	/fUSR_GLOBAL10	I/O	USR SIGNAL - USR_GLOBAL_10
C17	/fUSR_GLOBAL11	I/O	USR SIGNAL - USR_GLOBAL_11
A16	/fUSR_GLOBAL12	I/O	USR SIGNAL - USR_GLOBAL_12
A17	/fUSR_GLOBAL13	I/O	USR SIGNAL - USR_GLOBAL_13
B17	/fUSR_GLOBAL14	I/O	USR SIGNAL - USR_GLOBAL_14
B18	/fUSR_GLOBAL15	I/O	USR SIGNAL - USR_GLOBAL_15
B11	/fUSR_GLOBAL2	I/O	USR SIGNAL - USR_GLOBAL_2
A15	/fUSR_GLOBAL3	I/O	USR SIGNAL - USR_GLOBAL_3
B14	/fUSR_GLOBAL4	I/O	USR SIGNAL - USR_GLOBAL_4
B15	/fUSR_GLOBAL5	I/O	USR SIGNAL - USR_GLOBAL_5
C15	/fUSR_GLOBAL6	I/O	USR SIGNAL - USR_GLOBAL_6
D15	/fUSR_GLOBAL7	I/O	USR SIGNAL - USR_GLOBAL_7
C16	/fUSR_GLOBAL8	I/O	USR SIGNAL - USR_GLOBAL_8
D16	/fUSR_GLOBAL9	I/O	USR SIGNAL - USR_GLOBAL_9
B19	/fUSR_LOCAL_L0	I/O	USR SIGNAL - USR_LOCAL_L0
C18	/fUSR_LOCAL_L1	I/O	USR SIGNAL - USR_LOCAL_L1
N16	/fUSR_LOCAL_L10	I/O	USR SIGNAL - USR_LOCAL_L10
N17	/fUSR_LOCAL_L11	I/O	USR SIGNAL - USR_LOCAL_L11
P19	/fUSR_LOCAL_L12	I/O	USR SIGNAL - USR_LOCAL_L12
N18	/fUSR_LOCAL_L13	I/O	USR SIGNAL - USR_LOCAL_L13
P17	/fUSR_LOCAL_L14	I/O	USR SIGNAL - USR_LOCAL_L14
P18	/fUSR_LOCAL_L15	I/O	USR SIGNAL - USR_LOCAL_L15
J17	/fUSR_LOCAL_L2	I/O	USR SIGNAL - USR_LOCAL_L2
K17	/fUSR_LOCAL_L3	I/O	USR SIGNAL - USR_LOCAL_L3
J16	/fUSR_LOCAL_L4	I/O	USR SIGNAL - USR_LOCAL_L4
K16	/fUSR_LOCAL_L5	I/O	USR SIGNAL - USR_LOCAL_L5
L17	/fUSR_LOCAL_L6	I/O	USR SIGNAL - USR_LOCAL_L6
L16	/fUSR_LOCAL_L7	I/O	USR SIGNAL - USR_LOCAL_L7
M16	/fUSR_LOCAL_L8	I/O	USR SIGNAL - USR_LOCAL_L8
M17	/fUSR_LOCAL_L9	I/O	USR SIGNAL - USR_LOCAL_L9

U14	/fUSR_LOCAL_R0	I/O	USR SIGNAL - USR_LOCAL_R0
T14	/fUSR_LOCAL_R1	I/O	USR SIGNAL - USR_LOCAL_R1
V16	/fUSR_LOCAL_R10	I/O	USR SIGNAL - USR_LOCAL_R10
W18	/fUSR_LOCAL_R11	I/O	USR SIGNAL - USR_LOCAL_R11
U18	/fUSR_LOCAL_R12	I/O	USR SIGNAL - USR_LOCAL_R12
T17	/fUSR_LOCAL_R13	I/O	USR SIGNAL - USR_LOCAL_R13
G18	/fUSR_LOCAL_R14	I/O	USR SIGNAL - USR_LOCAL_R14
T13	/fUSR_LOCAL_R15	I/O	USR SIGNAL - USR_LOCAL_R15
U16	/fUSR_LOCAL_R2	I/O	USR SIGNAL - USR_LOCAL_R2
U11	/fUSR_LOCAL_R3	I/O	USR SIGNAL - USR_LOCAL_R3
U13	/fUSR_LOCAL_R4	I/O	USR SIGNAL - USR_LOCAL_R4
W11	/fUSR_LOCAL_R5	I/O	USR SIGNAL - USR_LOCAL_R5
V11	/fUSR_LOCAL_R6	I/O	USR SIGNAL - USR_LOCAL_R6
T11	/fUSR_LOCAL_R7	I/O	USR SIGNAL - USR_LOCAL_R7
V18	/fUSR_LOCAL_R8	I/O	USR SIGNAL - USR_LOCAL_R8
T18	/fUSR_LOCAL_R9	I/O	USR SIGNAL - USR_LOCAL_R9
F19	/HW_RESET	Input	Hardware rest of BIO02
D6	/LED0	Output	Front panel GREEN led in position PWR
A5	/LED1	Output	Front panel GREEN led in position ERR
B5	/LED2	Output	Front panel GREEN led in position RUN
A4	/LED3	Output	Front panel GREEN led in position COM
F17	/LED4	Output	Front panel GREEN led in position USR
K4	/SPISTEB	Output	External ADC SPI_B - enable signal
J1	/SPISTEC	Output	External FRAM SPI_C - enable signal
V14	/TRST	Input	JTAG reset
U1	ADin0	Input	Analog input CHANNEL_0 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)
T1	ADin1	Input	Analog input CHANNEL_1 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)
V3	ADin10	Input	Analog input CHANNEL_10 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)
W3	ADin11	Input	Analog input CHANNEL_11 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)
V4	ADin12	Input	Analog input CHANNEL_12 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)
W4	ADin13	Input	Analog input CHANNEL_13 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)
R3	ADin14	Input	Analog input CHANNEL_14 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)
P3	ADin15	Input	Analog input CHANNEL_15 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)

			output from ISO2021)
R4	ADin16	Input	Analog input CHANNEL_16 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)
P4	ADin17	Input	Analog input CHANNEL_17 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)
T5	ADin18	Input	Analog input CHANNEL_18 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)
U5	ADin19	Input	Analog input CHANNEL_19 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)
U2	ADin2	Input	Analog input CHANNEL_2 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)
T6	ADin20	Input	Analog input CHANNEL_20 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)
U6	ADin21	Input	Analog input CHANNEL_21 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)
T7	ADin22	Input	Analog input CHANNEL_22 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)
U7	ADin23	Input	Analog input CHANNEL_23 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)
T2	ADin3	Input	Analog input CHANNEL_3 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)
U3	ADin4	Input	Analog input CHANNEL_4 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)
T3	ADin5	Input	Analog input CHANNEL_5 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)
T4	ADin6	Input	Analog input CHANNEL_6 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)
U4	ADin7	Input	Analog input CHANNEL_7 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)
V2	ADin8	Input	Analog input CHANNEL_8 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)
W2	ADin9	Input	Analog input CHANNEL_9 (In case of binary output - this signal is feedback from relay / In case of binary input - this signal is two-level output from ISO2021)
D7	CANRX A	Input	RX signal of CAN A
B6	CANRX B	Input	RX signal of CAN B
C7	CANTX A	Output	TX signal of CAN A
A6	CANTX B	Output	TX signal of CAN B

L1	EN	Output	Enable signal for infrared encoder/decoder MCP2021
U19	ERROR_STS	Output	Output error when uPC internal safety function failed
U9	fADDR0	Input	Address input ADDR_0
W9	fADDR1	Input	Address input ADDR_1
V8	fADDR2	Input	Address input ADDR_2
T9	fADDR3	Input	Address input ADDR_3
U8	fADDR4	Input	Address input ADDR_4
V9	fADDR5	Input	Address input ADDR_5
T10	fADDR6	Input	Address input ADDR_6
T8	fADDR7	Input	Address input ADDR_7
W17	fSYS_ERR_POWER	Input	SYSTEM SIGNAL - SYS_ERR_POWER
V17	fSYS_LOOP	Input	SYSTEM SIGNAL - SYS_LOOP
N2	GPAout0	Output	Control signal for set coil of relay (channel 0)
N4	GPAout1	Output	Control signal for set coil of relay (channel 1)
C13	GPAout10	Output	Control signal for set coil of relay (channel 10)
W16	GPAout11	Output	Control signal for set coil of relay (channel 11)
V12	GPAout12	Output	Control signal for set coil of relay (channel 12)
G1	GPAout13	Output	Control signal for set coil of relay (channel 13)
B7	GPAout14	Output	Control signal for set coil of relay (channel 14)
A13	GPAout15	Output	Control signal for set coil of relay (channel 15)
M4	GPAout16	Output	Control signal for set coil of relay (channel 16)
C9	GPAout17	Output	Control signal for set coil of relay (channel 17)
D12	GPAout18	Output	Control signal for set coil of relay (channel 18)
D14	GPAout19	Output	Control signal for set coil of relay (channel 19)
A8	GPAout2	Output	Control signal for set coil of relay (channel 2)
J3	GPAout20	Output	Control signal for set coil of relay (channel 20)
E1	GPAout21	Output	Control signal for set coil of relay (channel 21)
A3	GPAout22	Output	Control signal for set coil of relay (channel 22)
B9	GPAout23	Output	Control signal for set coil of relay (channel 23)
M2	GPAout24	Output	Control signal for set coil of relay (channel 24)
C5	GPAout25	Output	Control signal for set coil of relay (channel 25)
E3	GPAout26	Output	Control signal for set coil of relay (channel 26)
D17	GPAout27	Output	Control signal for set coil of relay (channel 27)
D3	GPAout28	Output	Control signal for set coil of relay (channel 28)
D2	GPAout29	Output	Control signal for set coil of relay (channel 29)
D18	GPAout3	Output	Control signal for set coil of relay (channel 3)
C3	GPAout30	Output	Control signal for set coil of relay (channel 30)
B10	GPAout31	Output	Control signal for set coil of relay (channel 31)
L3	GPAout4	Output	Control signal for set coil of relay (channel 4)
D5	GPAout5	Output	Control signal for set coil of relay (channel 5)
B8	GPAout6	Output	Control signal for set coil of relay (channel 6)
B12	GPAout7	Output	Control signal for set coil of relay (channel 7)
F3	GPAout8	Output	Control signal for set coil of relay (channel 8)

D1	GPAout9	Output	Control signal for set coil of relay (channel 9)
U15	GPBout0	Output	Control signal for reset coil of relay (channel 0)
F1	GPBout1	Output	Control signal for reset coil of relay (channel 1)
A2	GPBout10	Output	Control signal for reset coil of relay (channel 10)
E17	GPBout11	Output	Control signal for reset coil of relay (channel 11)
N3	GPBout12	Output	Control signal for reset coil of relay (channel 12)
U12	GPBout13	Output	Control signal for reset coil of relay (channel 13)
B4	GPBout14	Output	Control signal for reset coil of relay (channel 14)
W10	GPBout15	Output	Control signal for reset coil of relay (channel 15)
F2	GPBout16	Output	Control signal for reset coil of relay (channel 16)
D8	GPBout17	Output	Control signal for reset coil of relay (channel 17)
B2	GPBout18	Output	Control signal for reset coil of relay (channel 18)
C10	GPBout19	Output	Control signal for reset coil of relay (channel 19)
E2	GPBout2	Output	Control signal for reset coil of relay (channel 2)
E4	GPBout20	Output	Control signal for reset coil of relay (channel 20)
C2	GPBout21	Output	Control signal for reset coil of relay (channel 21)
D9	GPBout22	Output	Control signal for reset coil of relay (channel 22)
C8	GPBout23	Output	Control signal for reset coil of relay (channel 23)
D10	GPBout24	Output	Control signal for reset coil of relay (channel 24)
C4	GPBout25	Output	Control signal for reset coil of relay (channel 25)
B3	GPBout26	Output	Control signal for reset coil of relay (channel 26)
C12	GPBout27	Output	Control signal for reset coil of relay (channel 27)
J2	GPBout28	Output	Control signal for reset coil of relay (channel 28)
L4	GPBout29	Output	Control signal for reset coil of relay (channel 29)
A12	GPBout3	Output	Control signal for reset coil of relay (channel 3)
D4	GPBout30	Output	Control signal for reset coil of relay (channel 30)
B13	GPBout31	Output	Control signal for reset coil of relay (channel 31)
T15	GPBout4	Output	Control signal for reset coil of relay (channel 4)
T12	GPBout5	Output	Control signal for reset coil of relay (channel 5)
C1	GPBout6	Output	Control signal for reset coil of relay (channel 6)
D13	GPBout7	Output	Control signal for reset coil of relay (channel 7)
M3	GPBout8	Output	Control signal for reset coil of relay (channel 8)
L2	GPBout9	Output	Control signal for reset coil of relay (channel 9)
K19	INT_BLOCK	Input	HW blocking signal from own card. This signal is active when HW blocking of BIO02 is activated
A7	MODE	Output	Signal MODE for IR debug. For normal operation signal MODE = high
R1	NetC123_2	Input	Reference pin for internal ADC
V1	NetC123_2	Input	Reference pin for internal ADC
V5	NetC123_2	Input	Reference pin for internal ADC
W5	NetC123_2	Input	Reference pin for internal ADC
A11	NetIC100_A11	Output	Output signal for uPC LED
G19	NetIC100_G19	Input	CLK signal from oscillator
H4	NetIC100_H4	Passive	Not connected
J19	NetIC100_J19	Output	Not connected

L19	NetIC100_L19	I/O	Test pin, connected only to the testpoint TP102
M19	NetIC100_M19	I/O	Test pin, connected only to the testpoint TP118
N19	NetIC100_N19	I/O	Test pin, connected only to the testpoint TP117
T19	NetIC100_T19	I/O	Test pin, connected only to the testpoint TP114
U10	NetIC100_U10	I/O	Test pin, connected only to the testpoint TP115
V10	NetIC100_V10	I/O	Test pin, connected only to the testpoint TP112
V13	NetIC100_V13	I/O	Not connected
W12	NetIC100_W12	I/O	Not connected
G3	RX	Input	Debug UART RX - IR front panel UART acces via KEPOZEL
C19	SCL	Output	I2C clock signal (Via I2C are connected Identification memory and temperature sensor)
J4	SD	Output	Shutdown signal for IR transceiver/receiver
D19	SDA	I/O	I2C data signal (Via I2C are connected Identification memory and temperature sensor)
K1	SPICLKB	Output	External ADC SPI_B - CLK signal
H3	SPICLKC	Output	External FRAM SPI_C - CLK signal
K3	SPISIMOB	Output	External ADC SPI_B - Data out
H1	SPISIMOC	Output	External FRAM SPI_C - Data out
K2	SPISOMIB	Input	External ADC SPI_B - Data in
H2	SPISOMIC	Input	External FRAM SPI_C - Data in
V15	TCK	Input	JTAG TCK
W13	TDI	Input	JTAG TDI
W15	TDO	Output	JTAG TDO
F18	Temp_ALERT	Input	Overtemperature signal. Logical 1 represent that temperature exceed temperature limit, which can be set by I2C
W14	TMS	Input	JTAG TMS
G2	TX	Output	Debug UART TX - IR front panel UART acces via KEPOZEL
T16	WDI	Output	Output signal for externat watchdog

10 Závěr

Tato výzkumná zpráva je zaměřena na popis binární vstupně-výstupní karty druhé generace BIO02 řídicího systému REMCS. V tomto dokumentu je popsána koncepce karty a její HW návrh. Detailně se zpráva zaměřuje na vstupně-výstupní sekci této karty. Díky variantám osazení mohou být vstupně výstupní kanály konfigurovány buď jako binární výstup s paměťovým relé, klasickým relé nebo jako binární vstup. Pro realizaci binárního vstupu je použit integrovaný obvod ISO1212D. Jedná se o novinku od Texas Instrument. Tento obvod nevyžaduje napájení sekundární strany, tudíž odpadá problém s realizací izolovaného napájecího zdroje pro každý kanál. Dále jsou v této práci popsány základní HW bloky karty BIO02, kterými jsou: HW blokování, autodetekce, IR debug a časovač zapnutí napájecího zdroje. Závěrem této zprávy je pinout procesoru Texas Instruments TMS320F28379S, kterým je karta osazena.

Literatura

- [1] https://cz.mouser.com/datasheet/2/212/1/KEM_R7002_EC2_EE2-1104574.pdf
- [2] <https://www.ti.com/general/docs/suppproductinfo.tsp?distId=26&gotoUrl=http%3A%2F%2Fwww.ti.com%2Flit%2Fds%2Fsymlink%2Fiso1211.pdf>
- [3]

Historie revizí

Rev.	Kapitola	Popis změny	Datum	Jméno
0	Všechny	Publikování dokumentu		