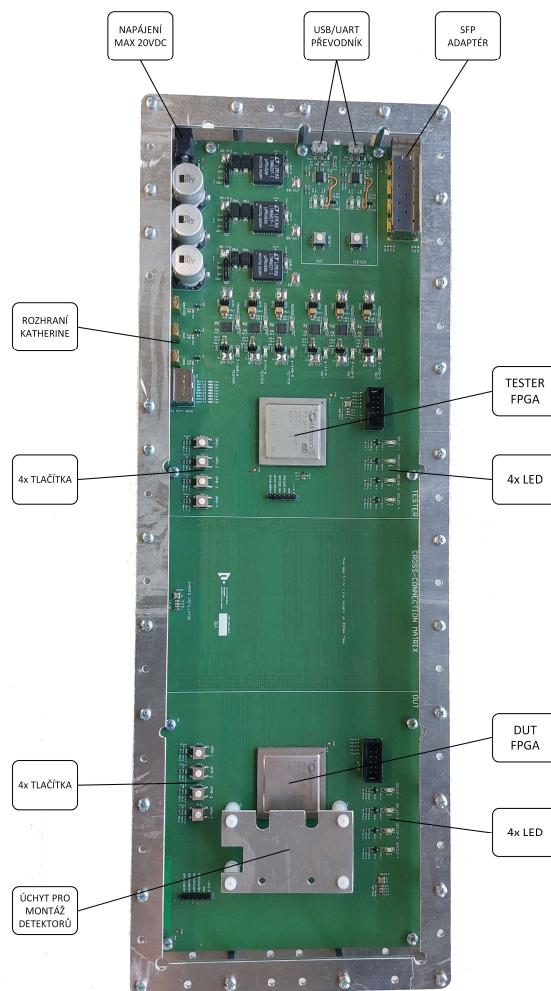
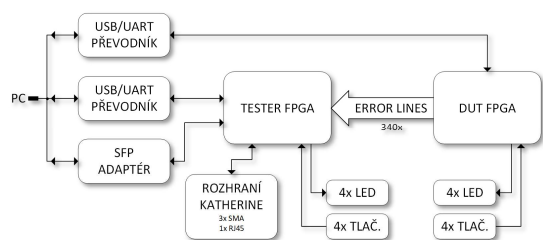


Funkční vzorek

Platforma pro testování radiální odolnosti FPGA PolarFire



► V souladu s platnou metodikou Úřadu vlády ČR je uplatňován funkční vzorek.

► Funkční vzorek vznikl v přímé souvislosti s řešením projektu Výzkumná infrastruktura pro experimenty v CERN. Registrační číslo LM2018104.

► **Architektura zařízení:** Testovací přípravek, jehož blokové schéma je zachycené na horním obrázku, se skládá ze dvou obvodů FPGA, komunikačních rozhraní a uživatelských rozhraní. Obě FPGA jsou stejného typu.

► **Testované FPGA (DUT FPGA):** Toto je umístěno na desce jen s podpůrnými obvody a základním uživatelským rozhraním. Tím jsou čtyři tlačítka, čtyři svítivé diody a převodník USB/UART pro komunikaci s počítačem. Z tohoto obvodu je vyvedeno 340 univerzálních vstupů/výstupů (GPIO) směrem k druhému (testovacímu) FPGA. Tyto cesty, označené jako „Error lines“, jsou zásadní pro celou platformu, jelikož jejich vysoký počet umožňuje provádět kupříkladu pozičně citlivé experimenty. Deska zároveň umožňuje montáž dvou detektorů ionizujícího záření (TimePix) přímo nad testované FPGA.

Testovací FPGA (TESTER FPGA): Do tohoto obvodu jsou přivedeny všechny chybové cesty z testovaného FPGA. Testovací FPGA se stará o jejich zpracování. Zároveň slouží pro komunikaci s readout zařízením pro detektory TimePix, Katherine. Pro komunikaci testovacího FPGA s počítačem slouží dva kanály. Prvním z nich je standardní USB/UART převodník, který vyhovuje pro pomalé přenosy. V případě potřeby rychlých přenosů je instalován SFP modul, který poskytuje teoreticky rychlost až 10Gbit/s.

EVIDENČNÍ ČÍSLO:

22190-FV029-2022

KONTAKTNÍ OSOBA:

Bc. Ondřej Růžička

ruzickao@fel.zcu.cz

ŘEŠITELSKÉ PRACOVISTĚ:

Západočeská univerzita v Plzni

Fakulta elektrotechnická

Katedra elektroniky

a informačních technologií

Univerzitní 8, 306 14 Plzeň



EVROPSKÁ UNIE
Evropské strukturální a investiční fondy
Operační program Výzkum, vývoj a vzdělávání

